

PATENT
81790.0306

Express Mail Label No. EV 324 111 239 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Eiji KOZUKA

Serial No: Not Assigned

Filed: November 26, 2003

For: SEMICONDUCTOR MEMORY

Art Unit: Not Assigned

Examiner: Not Assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-342897, which was filed November 26, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: November 26, 2003

By: 

Michael L. Crapenhof
Registration No. 37,115
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 6 日
Date of Application:

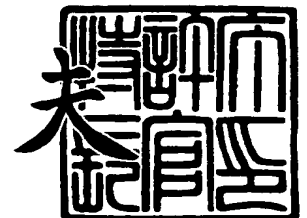
出 願 番 号 特 願 2 0 0 2 - 3 4 2 8 9 7
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 4 2 8 9 7]

出 願 人 東芝マイクロエレクトロニクス株式会社
Applicant(s): 株式会社東芝

2 0 0 3 年 9 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000204803

【提出日】 平成14年11月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明の名称】 半導体メモリ

【請求項の数】 24

【発明者】

 【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内

 【氏名】 狐塚 英二

【特許出願人】

 【識別番号】 000221199

 【氏名又は名称】 東芝マイクロエレクトロニクス株式会社

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9105411

【包括委任状番号】 9705037

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリ

【特許請求の範囲】

【請求項 1】 メモリセルから読み出される第 1 データと外部入力端子に与えられる第 2 データとに基づいて、前記メモリセルの良／不良を判定するエラー検出回路と、前記メモリセルが不良の場合に、前記メモリセルのアドレスデータを、救済アドレスデータとして、電氣的フューズにプログラムするセルフフューズプログラム回路とを具備することを特徴とする半導体メモリ。

【請求項 2】 前記エラー検出回路は、比較回路を有し、前記比較回路は、前記第 1 データと前記第 2 データとを比較して、両者の値が不一致の場合に、検知信号を出力する機能を有することを特徴とする請求項 1 に記載の半導体メモリ。

【請求項 3】 前記エラー検出回路は、入力回路を有し、前記入力回路は、前記メモリセルにプログラムするための第 3 データを入力すると共に、前記第 2 データを入力する機能を有することを特徴とする請求項 2 に記載の半導体メモリ。

【請求項 4】 前記第 2 データと前記第 3 データは、同じ値を有することを特徴とする請求項 3 に記載の半導体メモリ。

【請求項 5】 前記エラー検出回路は、擬似リード制御回路を有し、前記擬似リード制御回路は、前記第 2 データを前記比較回路に転送すると共に、前記第 3 データを前記メモリセルに転送する機能を有することを特徴とする請求項 4 に記載の半導体メモリ。

【請求項 6】 前記メモリセルに前記第 3 データがプログラムされた後に、前記メモリセルから前記第 1 データが読み出されることを特徴とする請求項 5 に記載の半導体メモリ。

【請求項 7】 前記エラー検出回路は、出力回路を有し、前記出力回路は、前記第 1 データが前記メモリセルから読み出されるときに非活性化されることを特徴とする請求項 1 に記載の半導体メモリ。

【請求項 8】 前記エラー検出回路は、擬似リード制御回路を有し、前記擬

似リード制御回路は、前記第 1 データを前記比較回路に転送する機能を有することを特徴とする請求項 7 に記載の半導体メモリ。

【請求項 9】 前記セルフフューズプログラム回路は、ラッチ回路を有し、前記ラッチ回路は、前記検知信号を受けると、前記アドレスデータをラッチする機能を有することを特徴とする請求項 2 に記載の半導体メモリ。

【請求項 10】 前記ラッチ回路は、前記検知信号を受けると、前記アドレスデータを前記救済アドレスデータとして有効にするためのマスターデータをラッチする機能を有することを特徴とする請求項 9 に記載の半導体メモリ。

【請求項 11】 前記ラッチ回路は、前記検知信号を受けると、前記メモリセルを含むバンクを選択するためのバンク選択信号をラッチする機能を有することを特徴とする請求項 10 に記載の半導体メモリ。

【請求項 12】 前記ラッチ回路は、前記バンク選択信号に基づいて、前記マスターデータ及び前記救済アドレスデータを出力するか否かを決定することを特徴とする請求項 11 に記載の半導体メモリ。

【請求項 13】 前記セルフフューズプログラム回路は、フューズプログラム回路を有し、前記フューズプログラム回路は、前記救済アドレスデータを前記電氣的フューズにプログラムする機能を有することを特徴とする請求項 9 に記載の半導体メモリ。

【請求項 14】 前記セルフフューズプログラム回路は、カウンタ及びスイッチ回路を有し、前記カウンタ及び前記スイッチ回路は、前記救済アドレスデータを、1 ビットずつ、前記フューズプログラム回路に転送する機能を有することを特徴とする請求項 13 に記載の半導体メモリ。

【請求項 15】 前記救済アドレスデータは、複数ビットから構成され、前記電氣的フューズに対するプログラム動作は、前記救済アドレスデータの各ビットの値にかかわらず、全てのビットに対して実施されることを特徴とする請求項 14 に記載の半導体メモリ。

【請求項 16】 請求項 15 記載の半導体メモリにおいて、前記電氣的フューズにプログラムされたデータをモニタするためのモニタ回路を具備することを特徴とする半導体メモリ。

【請求項 17】 前記電氣的フューズにプログラムされたデータをモニタするベリファイ動作を行うとき、前記救済アドレスデータの全てのビットは、同一の値に設定されることを特徴とする請求項 16 に記載の半導体メモリ。

【請求項 18】 前記カウンタは、ベリファイ動作を行う前に初期化されることを特徴とする請求項 17 に記載の半導体メモリ。

【請求項 19】 前記セルフフューズプログラム回路は、バンクセレクト回路を有し、前記バンクセレクト回路は、前記フューズプログラム回路が選択されたバンクに対応するときに、前記救済アドレスデータを前記スイッチ回路に転送する機能を有することを特徴とする請求項 14 に記載の半導体メモリ。

【請求項 20】 メモリセルから読み出される第 1 データと外部入力端子に与えられる第 2 データとに基づいて、前記メモリセルの良／不良を判定するステップと、前記メモリセルが不良の場合に、前記メモリセルのアドレスデータを、救済アドレスデータとして、電氣的フューズにプログラムするステップとを具備することを特徴とする救済アドレスのプログラミング方法。

【請求項 21】 前記メモリセルに前記第 2 データと同じ第 3 データをプログラミングした後に、前記第 1 データが読み出されることを特徴とする請求項 20 に記載の救済アドレスのプログラミング方法。

【請求項 22】 前記救済アドレスデータは、1 ビットずつ、前記電氣的フューズにプログラムされることを特徴とする請求項 20 に記載の救済アドレスのプログラミング方法。

【請求項 23】 前記電氣的フューズに対するプログラム動作は、前記救済アドレスデータの各ビットの値にかかわらず、全てのビットに対して実施されることを特徴とする請求項 20 に記載の救済アドレスのプログラミング方法。

【請求項 24】 前記電氣的フューズにプログラムされたデータを検証するベリファイ動作において、前記救済アドレスデータの全てのビットは、同一の値に設定されることを特徴とする請求項 20 に記載の救済アドレスのプログラミング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電氣的に書き込み可能なフューズ（E-Fuse）に救済アドレスが記憶される半導体メモリに関する。

【0 0 0 2】**【従来の技術】**

通常、半導体メモリは、製品の歩留りを向上させるために、テストにより不良と判断された不良セルをスペアセルに置き換えるためのリダンダンシイ回路を備えている。この置き換えは、テスト後に、不良セルのアドレス、即ち、救済アドレスを、フューズアレイにプログラムすることにより実現される。

【0 0 0 3】

そして、通常動作時、例えば、フューズアレイに記憶された救済アドレスと同一の外部アドレスがチップに与えられると、不良セルに代わってスペアセルが選択されるため、外見上は、不良セルが救済されたことになり、製品の歩留りを向上させることができる（例えば、特許文献 1 参照）。

【0 0 0 4】

救済アドレスを記憶するフューズとしては、レーザ光を用いてフューズを切断するレーザフューズが一般的に知られている。レーザフューズに対する救済アドレスのプログラムは、レーザ光を使用するため、ウェハ状態でのみ行うことができ、組み立て（assembly）工程後には行うことができない。

【0 0 0 5】

そこで、最近では、組み立て工程後のテストで不良とされた不良セルのアドレスをフューズアレイにプログラムし、製品の歩留りをさらに向上させるため、フューズアレイを、電氣的に書き込み可能なフューズ（以下、電氣的フューズ）により構成した半導体メモリが開発されている。

【0 0 0 6】

図 4 5 は、電氣的フューズを備えた従来の半導体メモリの主要部を示している。

【0 0 0 7】

チップ 1 0 内には、メモリセルアレイ 1 1 が配置される。メモリセルアレイ 1

1 は、複数のメモリブロック（例えば、バンク）のうちの 1 つであってもよい。本例では、メモリセルアレイ 11 は、デコーダ、センスアンプ、リード／ライト回路などの周辺回路の一部を含んでいるものとする。

【0008】

外部入出力端子（DQ 端子）12 は、ライトデータ（書き込みデータ）をチップ 10 内に取り込み、かつ、リードデータをチップ外に出力するための要素である。入力回路 14A は、外部入出力端子 12 に与えられたライトデータをメモリセルアレイ 11 に転送する。出力回路 17A は、メモリセルアレイ 11 から読み出されたリードデータを外部入出力端子 12 に転送する。

【0009】

外部入力端子（アドレス端子）19A は、通常動作時及びテスト時に、ロウ／コラムアドレスデータをチップ 10 内に取り込むための要素である。ロウ／コラムアドレスデータは、メモリセルアレイ 11 に与えられ、メモリセルの選択に使用される。

【0010】

また、テスト後のフューズプログラム時においては、例えば、フューズアレイに救済アドレスをプログラムするために必要なデータ A0～A4 が、テストにより作成される。このデータ A0～A4 は、外部入力端子 19A を経由して、チップ 10 内に供給される。

【0011】

データ A0～A4 は、デコード回路 DCi に与えられる。デコード回路 DCi は、データ A0～A4 をデコードし、フューズプログラムデータ D0～D19 を生成する。フューズプログラムデータ D0～D19 は、フューズブローの対象となるフューズを決定する。

【0012】

フューズプログラム回路 FPi は、複数の電氣的フューズからなるフューズアレイを備える。フューズプログラム回路 FPi は、フューズプログラムデータ D0～D19 により決定されるフューズアレイ内の 1 つの電氣的フューズ（例えば、キャパシタ）のキャパシタ絶縁膜を電氣的に破壊する。最終的に、フューズア

レイには、マスターデータ（1ビット）FMAST及び救済アドレスデータ（複数ビット）FADDnがプログラムされる。

【0013】

マスターデータFMASTは、フューズプログラム回路F Piの有効／無効を決定するデータである。マスターデータFMASTがフューズプログラム回路F Piの有効を示している場合には、フューズプログラム回路F Piにプログラムされた救済アドレスデータFADDnが有効になる。

【0014】

モニタ回路Mは、マスターデータFMAST及び救済アドレスデータFADDnが、正確に、フューズアレイにプログラムされたか否かを検出するための回路である。

【0015】

通常動作時には、フューズプログラム回路F Piは、マスターデータFMAST及び救済アドレスデータFADDnを出力する。リダンダンシイ回路21は、マスターデータFMASTがフューズプログラム回路F Piの有効を示している場合に、救済アドレスデータFADDnと外部アドレスデータとを比較する。

【0016】

そして、両者が一致する場合には、リダンダンシイ回路21は、置き換え信号Repを出力する。メモリセルアレイ11は、置き換え信号Repを受けると、不良セルに代えて、スペアセルを選択する。

【0017】

なお、チップ10は、メモリチップの他、メモリセルアレイを備えるICチップ、例えば、メモリ混載ICチップや、システムLSIチップなども含む。また、メモリの種類も限定されない。DRAM、SRAM、FeRAM、MRAM、ROM、フラッシュメモリなど、全てのメモリを含む。

【0018】

次に、図45のデコード回路DCi、フューズプログラム回路F Pi及びモニタ回路Mの例について説明する。

【0019】

説明を明確にするため、前提条件を以下のように規定する。1つのチップ10内には、4つのバンク（メモリセルアレイ）が配置される。1つのバンクに対して、1つのデコード回路DC_i、1つのフューズプログラム回路FP_i及び1つのリダンダンシイ回路21が設けられる。1つのバンクは、例えば、16ロウ及び16カラムのマトリックス状メモリセルアレイからなり、救済アドレスデータFADD0～FADD3は、4ビットから構成される。

【0020】

図46は、デコード回路DC_i（ $i=0, 1, 2, 3$ ）の例を示し、図47は、フューズプログラム回路FP_i（ $i=0, 1, 2, 3$ ）及びモニタ回路Mの例を示している。

【0021】

デコード回路DC0, DC1, DC2, DC3は、4つのバンク0, 1, 2, 3に対応して4つ存在し、フューズプログラム回路FP0, FP1, FP2, FP3も、4つのバンク0, 1, 2, 3に対応して4つ存在する。

【0022】

テストにより生成されるデータ（フューズプログラム時のアドレスデータ）A0～A4は、デコード回路DC0, DC1, DC2, DC3に入力される。

【0023】

バンク0に対応するデコード回路DC0は、フューズプログラムデータ（デコード信号）D0～D4を出力する。フューズプログラムデータD0～D4は、バンク0に対応するフューズプログラム回路FP0に入力される。

【0024】

バンク1に対応するデコード回路DC1は、フューズプログラムデータ（デコード信号）D5～D9を出力する。フューズプログラムデータD5～D9は、バンク1に対応するフューズプログラム回路FP1に入力される。

【0025】

バンク2に対応するデコード回路DC2は、フューズプログラムデータ（デコード信号）D10～D14を出力する。フューズプログラムデータD10～D14は、バンク2に対応するフューズプログラム回路FP2に入力される。

【 0 0 2 6 】

バンク 3 に対応するデコード回路 D C 3 は、フューズプログラムデータ（デコード信号） D 1 5 ～ D 1 9 を出力する。フューズプログラムデータ D 1 5 ～ D 1 9 は、バンク 3 に対応するフューズプログラム回路 F P 3 に入力される。

【 0 0 2 7 】

表 1 に示すように、テストにより生成されるデータ A 0 ～ A 4 の値に応じて、フューズプログラムデータ（デコード信号） D 0 ～ D 1 9 のうちの 1 つが “H” となる。

【 0 0 2 8 】

【表 1】

破壊(プログラム)されるEFの位置																				
バンク0					バンク1					バンク2					バンク3					
“H”になる テスト信号	MAST	A0	A1	A2	A3	MAST	A0	A1	A2	A3	MAST	A0	A1	A2	A3	MAST	A0	A1	A2	A3
	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19
	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
テストにより生成 されるデータ (アドレス)																				

ここで、具体例について考える。

【0029】

例えば、テストの結果、バンク 0 内に不良セルが存在し、その不良アドレス（救済アドレス）A 0, A 1, A 2, A 3 が、“0”, “0”, “0”, “1” であったとする。救済アドレスは、ロウアドレス（ロウ救済）であっても、また、カラムアドレス（カラム救済）であっても、どちらでもよい。

【0 0 3 0】

まず、テスト後のフューズプログラム時において、テストにより生成されるアドレスデータ A 0, A 1, A 2, A 3, A 4 が、“0”, “0”, “0”, “0”, “0” に設定される。この場合、表 1 に示すように、フューズプログラムデータ D 0 ～D 1 9 のうち、データ D 0 のみが“H”となる。

【0 0 3 1】

その結果、図 4 7 のフューズプログラム回路 F P 0 内の M A S T が“H”になり、ゲートに M A S T が入力される N チャネル MOS トランジスタ T r 2 がオン状態となる。N チャネル MOS トランジスタ T r 1 は、高電圧を緩和するためのバリアトランジスタであり、常に、オン状態である。

【0 0 3 2】

従って、F M A S T に関わる電氣的フューズ（例えば、キャパシタ）E F に高電圧が印加され、その電氣的フューズ E F のキャパシタ絶縁膜が破壊され、フューズプログラム回路 F P 0 が有効になる。

【0 0 3 3】

次に、テストにより生成されるアドレスデータ A 0, A 1, A 2, A 3, A 4 が、“0”, “0”, “1”, “0”, “0” に設定される。この場合、表 1 に示すように、フューズプログラムデータ D 0 ～D 1 9 のうち、データ D 4 のみが“H”となる。

【0 0 3 4】

その結果、図 4 7 のフューズプログラム回路 F P 0 内の A 3 が“H”になり、ゲートに A 3 が入力される N チャネル MOS トランジスタ T r 2 がオン状態となる。N チャネル MOS トランジスタ T r 1 は、高電圧を緩和するためのバリアトランジスタであり、常に、オン状態である。

【0 0 3 5】

従って、F A D D 3 に関わる電氣的フューズ（例えば、キャパシタ）E F に高電圧が印加され、その電氣的フューズ E F のキャパシタ絶縁膜が破壊される。

【0 0 3 6】

以上の 2 回のフューズプログラム動作により、フューズプログラム回路 F P 0 内に、救済アドレス A 0, A 1, A 2, A 3 として、“0”, “0”, “0”, “1” がプログラムされる。

【0 0 3 7】

なお、図 4 7 においては、電氣的フューズ E F のキャパシタ絶縁膜が破壊された場合（導通状態）を“1”とし、破壊されない場合（非導通状態）を“0”とする。マスターデータ（1 ビット）F M A S T 及び救済アドレスデータ（4 ビット）F A D D 0 ~ F A D D 3 を読み出すための回路は、省略している。

【0 0 3 8】

図 4 6 及び図 4 7 の例では、救済アドレスは、テスト（救済アドレス作成対応機種）により生成される。この場合、テストは、メモリセルアレイを構成するメモリセルの全てをテストする機能と共に、不良と判断されたメモリセルのアドレスをマップ（Fail Address Map : FAM）上に表し、最も効率よく、不良セルを救済するための救済アドレス（救済解）を求める機能を備える。

【0 0 3 9】

救済アドレスをフューズプログラム回路 F P i にプログラムするに当たって、本例では、そのプログラムのために使用する外部端子の数を減らすために、図 4 6 のデコード回路 D C i をチップ内に設けている。即ち、デコード回路 D C i を使用する場合には、外部端子の数は、5 個（A 0 ~ A 4）で済むが、デコード回路 D C i を使用しない場合には、外部端子の数は、最低でも、フューズの数（2 0 個）だけ必要になる。

【0 0 4 0】

図 4 8 は、フューズプログラム時の具体的な動作波形の例を示している。

【0 0 4 1】

この動作波形は、バンク 1 に関し、救済アドレス A 0, A 1, A 2, A 3 として、“0”, “0”, “0”, “1” をプログラムする例である。

【0042】

まず、フューズプログラム信号（フューズプログラムエントリー信号）PROGRAMが“H”になり、フューズプログラムモードとなる。この時、図47のフューズプログラム回路FPi内のNチャネルMOSトランジスタN4がオン状態になる。また、VB Pのレベル（電位）が、フューズの切断にとって必要な十分に大きな値に設定される。

【0043】

VB Pのレベルは、チップ動作の低消費電力化を実現するため、フューズプログラムモードのときのみ、十分に大きな値に設定し、VB Pを使用しないときは、例えば、接地電位に設定する。

【0044】

次に、FMAS Tのプログラムを行う。

【0045】

ロウアドレスストローブ信号／RASの立下りエッジ（“H”から“L”への切り替わり点）に同期して、テストにより生成されたアドレス信号A0～A4が、図46のデコード回路DCiに取り込まれる。アドレス信号A0～A4は、“1”，“0”，“1”，“0”，“0”である、表1により、バンク1内のFMAS Tに対応するデコード信号D5が“H”となる。

【0046】

このため、バンク1内のFMAS Tに対応する電氣的フューズEFについてのみ、その一端には、VB Pが与えられ、その他端には、接地電位が与えられる。その結果、バンク1内のFMAS Tに対応する電氣的フューズ（例えば、キャパシタ）EFのキャパシタ絶縁膜の両端に大きな電位差が生じ、そのキャパシタ絶縁膜が破壊され、“1（＝有効）”がプログラムされる。

【0047】

次に、FADD3のプログラムを行う。

【0048】

ここで、FADD0～FADD2については、“0”をプログラムすることになるが、電氣的フューズEFの初期状態（破壊されていない状態）は、“0”で

あるため、F A D D 0 ～ F A D D 2 については、フューズプログラムを行う必要がない。

【 0 0 4 9 】

ロウアドレスストローブ信号／R A S の立下りエッジ（“H” から “L” への切り替わり点）に同期して、テストにより生成されたアドレス信号 A 0 ～ A 4 が、図 4 6 のデコード回路 D C i に取り込まれる。アドレス信号 A 0 ～ A 4 は、“1”，“0”，“0”，“1”，“0”である、表 1 により、バンク 1 内の A D D 3 に対応するデコード信号 D 9 が “H” となる。

【 0 0 5 0 】

このため、バンク 1 内の F A D D 3 に対応する電氣的フューズ E F についてのみ、その一端には、V B P が与えられ、その他端には、接地電位が与えられる。その結果、バンク 1 内の F A D D 3 に対応する電氣的フューズ（例えば、キャパシタ）E F のキャパシタ絶縁膜の両端に大きな電位差が生じ、そのキャパシタ絶縁膜が破壊され、“1” がプログラムされる。

【 0 0 5 1 】

なお、本例では、全ての電氣的フューズ E F の一端は、共通接続され、その一端に、V B P （高電位）が与えられる。このため、フューズプログラムは、1 ビットずつ行う。本例では、1 つの救済アドレスに対して、最低 1 回のプログラム動作（F M A S T = 1 ビット）、最大 5 回のプログラム動作（F M A S T + A D D 0 ～ A D D 3 = 5 ビット）が行われる。

【 0 0 5 2 】

通常、救済アドレスをプログラムした後、救済アドレスが正確にプログラムされたか否かを検証するベリファイが実行される。

【 0 0 5 3 】

フューズプログラム動作は、上述のように、電氣的フューズの初期状態が “0” であることから、“1” プログラミングの対象となるフューズに対してのみ実行する。

【 0 0 5 4 】

これに対し、ベリファイ動作は、救済アドレスが正確にプログラムされている

可否かを検証するものであるため、例えば、全ての電氣的フューズ（FMAST，FADD0～FADD3）に対して、1ビットずつ、順次、行う。

【0055】

この場合、ベリファイ動作は、例えば、バンク0のFMASTから始まり、バンク0のFADD0→FADD1→FADD2→FADD3と進み、さらに、バンク1→バンク2→バンク3と進む。

【0056】

“1”－プログラミングを実行した電氣的フューズに対するベリファイでは、EFmoniが“H”のときは、プログラミングOK、“L”のときは、プログラミングNGとなる。“1”－プログラミングを実行していない電氣的フューズに対するベリファイでは、EFmoniが“L”のときは、プログラミングOK、“H”のときは、プログラミングNGとなる。

【0057】

1つのバンクに対して、1つのモニタ回路が設けられる場合には、複数のバンクにおけるベリファイ動作をパラレルに実行することができる。また、複数のバンクに対して、1つのモニタ回路のみが設けられる場合には、ベリファイ動作は、1バンクずつ、順次、行う。

【0058】

なお、ベリファイ動作は、事実上は、電氣的フューズに対する“1”－プログラミングの検証として実施される。従って、ベリファイ動作は、全ての電氣的フューズに対して行わずに、“1”－プログラミングを行った電氣的フューズのみを対象としてもよい。

【0059】

この場合、“1”－プログラミングがOKのときは、VBPから、電氣的フューズEF、トランジスタTr1，Tr2，N4を経由して、Vssまでの電流パスができる。一方、“1”－プログラミングがNGのときは、フューズが破壊されていないので、このような電流パスはできない。

【0060】

“1”－プログラミングを行った電氣的フューズのみを対象とするベリファイ

動作によれば、フューズプログラム時に使用したアドレスを、再び、テストからチップへ与えればよいため、簡単かつ短時間に、ベリファイ動作を行うことができる。

【0061】

図49は、救済アドレスのベリファイ時の動作波形の例を示している。

この動作波形は、“1”－プログラミングを行った電氣的フューズのみを対象とするベリファイ動作に関する。

【0062】

まず、テストモードベリファイ信号TMVERIFYが“H”になり、ベリファイモードとなる。この時、図47のモニタ回路M内のトランスファゲートTGがオン状態になる。また、VBPのレベル（電位）が、“H”、例えば、電源電位Vddに設定される。

【0063】

VBPのレベルは、チップ動作の低消費電力化を実現するため、ベリファイモードのときのみ、“H”に設定し、VBPを使用しないときは、例えば、接地電位に設定する。

【0064】

まず、バンク0のFADD0のベリファイについて考える。

【0065】

ロウアドレスストローブ信号／RASの立下りエッジに同期して、テストにより生成されたアドレス信号A0～A4が、図46のデコード回路DCiに取り込まれる。アドレス信号A0～A4は、“1”，“0”，“0”，“0”，“0”である。表1により、バンク0内のFADD0に対応するデコード信号D1が“H”となる。

【0066】

このため、バンク0内のFADD0に対応する電氣的フューズEFについてのみ、その一端には、VBPが与えられ、その他端には、接地電位が与えられる。その結果、バンク0内のFADD0に対応する電氣的フューズEFの状態に応じて、EFmoniの値が変化する。

【0067】

バンク0内のFADD0に関する電氣的フューズについては、例えば、“0”-プログラミングが実行されている。

【0068】

この場合、同図に示すように、電流iPDが流れずに、EFmoniが“L”となる場合には、バンク0内のFADD0に関わるフューズは、破壊されておらず、“0”が正確にプログラムされていることが確認できる。一方、電流iPDが流れ、EFmoniが“H”となる場合には、バンク0内のFADD0に関わるフューズは、破壊されており、“1”が誤ってプログラムされていることになる。

【0069】

次に、バンク1のFMAS Tのベリファイについて考える。

【0070】

ロウアドレスストローブ信号／RASの立下りエッジに同期して、テストにより生成されたアドレス信号A0～A4が、図46のデコード回路DCiに取り込まれる。アドレス信号A0～A4は、“1”，“0”，“1”，“0”，“0”である。表1により、バンク1内のFMAS Tに対応するデコード信号D5が“H”となる。

【0071】

このため、バンク1内のFMAS Tに対応する電氣的フューズEFについてのみ、その一端には、VBPが与えられ、その他端には、接地電位が与えられる。その結果、バンク1内のFMAS Tに対応する電氣的フューズEFの状態に応じて、EFmoniの値が変化する。

【0072】

バンク1内のFMAS Tに関する電氣的フューズについては、例えば、“1”-プログラミングが実行されている。

【0073】

この場合、同図に示すように、電流iPDが流れ、EFmoniが“H”となる場合には、バンク1内のFMAS Tに関わるフューズは、破壊されており、“

1” が正確にプログラムされていることが確認できる。一方、電流 i P D が流れずに、E F m o n i が “L” となる場合には、バンク 1 内の F M A S T に関わるフューズは、破壊されておらず、“0” が誤ってプログラムされていることになる。

【 0 0 7 4 】

【特許文献 1】

特開 2 0 0 2 - 1 9 7 8 8 9 号公報

【 0 0 7 5 】

【発明が解決しようとする課題】

図 5 0 は、レーザフューズを使用したときのテストフローを示している。

この場合、ウェハ段階でのテスト工程、例えば、ダイソートテスト D / S では、救済アドレスを作成できるテストによりテストが実行され、救済アドレスのプログラム時には、レーザマシンによりフューズの切断が実行される。この後、不良セルが正確にスペアセルに置き換えられたか否かをテストする。

【 0 0 7 6 】

レーザフューズを使用する場合には、不良セルの救済は、ウェハ段階でのみしか行うことができず、組み立て工程後には行うことができない。ウェハ段階で行うテストは、テスト時間の関係から一定の温度（例えば、高温のみ）の下でしか行わない。また、テストの信号をチップに伝えるための信号ケーブルが長いため、高速動作のテストもできない。従って、組み立て工程後のテスト工程、例えば、低温テスト L T や高温テスト H T などでは、不良セルが生じたときにも、これを救済することができない。

【 0 0 7 7 】

図 5 1 は、電氣的フューズを使用したときのテストフローを示している。

この場合、ウェハ段階でのテスト工程、例えば、ダイソートテスト D / S では、レーザフューズを使用したときと同様に、救済アドレスを作成できるテストによりテストが実行される。但し、救済アドレスのプログラムは、レーザマシンによらず、電氣的に行うことができる。

【 0 0 7 8 】

従って、ウェハをレーザマシンに移動させる工程がなくなるため、組み立て工程までのウェハタッチを減らすことができる。これは、半導体メモリの製造における効率向上を意味している。

【 0 0 7 9 】

この後、不良セルが正確にスペアセルに置き換えられたか否かのテスト工程が実行される。

【 0 0 8 0 】

電氣的フューズを使用する場合には、不良セルの救済は、組み立て工程後にも行うことができる。例えば、組み立て工程後のテスト工程、例えば、低温テスト L T や高温テスト H T などでは、救済アドレスを作成できるテストによりテストを実行した後、救済アドレスのプログラムが電氣的に実行されるため、製品の歩留り向上を実現できる。

【 0 0 8 1 】

しかし、従来の電氣的フューズを使用したテストフローでは、テスト毎に、救済アドレス（救済解）を求めなければならない。また、この救済アドレスは、例えば、F A M（Fail Address Map）機能を搭載したテストにより求めなければならない。ところが、F A M機能を搭載したテストは、非常に高価であり、これを使用すると、テストコストを下げるできない。

【 0 0 8 2 】

また、組み立て工程後のチップのテストにおいては、複数チップを同時にテストする。1回のテストで、テスト対象となったチップの全てにおいて、救済アドレスが一致するということはほとんどない。即ち、組み立て工程後のチップに対しては、フューズプログラム動作は、チップ毎に、個別に行うことになる。

【 0 0 8 3 】

テストは、フューズプログラム動作を行っている期間は、テスト及び救済解の作成動作を実行できないため、結果として、その期間、F A M機能も使用できないことになる。

【 0 0 8 4 】

つまり、従来においては、F A M機能を搭載した高価なテストを使用しなけれ

ばならないばかりでなく、さらに、この高価なテストを、効率よく、使用することができないという問題がある。

【0085】

ところで、組み立て工程後にメモリセルが不良となる原因としては、主として、ビット線同士の短絡などのビット不良にある。ビット不良の発生率は、高速動作品になるほど高くなる傾向がある。

【0086】

このようなビット不良を、ウェハ段階のダイソートテストで検出することは、① テスト強度／感度を高くしなければならないこと、② ダイソートテストの時間が膨大になること、③ オーバーキルによる歩留まりの低下が考えられること、などの理由から、現実的には不可能である。結局、ビット不良については、組み立て工程後のテスト工程で救済しなければならない。

【0087】

そこで、少なくとも、このような組み立て工程後に発生するメモリセルの不良については、FAMを搭載した高価なテストを用いずに救済することができるようになれば、テスト効率の向上とテストコストの低下にとっては、非常に有効となる。

【0088】

本発明は、このような点に鑑みてなされたものであり、その目的は、組み立て工程後に発生するメモリセルの不良を、FAMを搭載した高価なテストを用いずに救済することにある。

【0089】

【課題を解決するための手段】

本発明の例に関わる半導体メモリは、メモリセルから読み出される第1データと外部入力端子に与えられる第2データとに基づいて、前記メモリセルの良／不良を判定するエラー検出回路と、前記メモリセルが不良の場合に、前記メモリセルのアドレスデータを、救済アドレスデータとして、電氣的フューズにプログラムするセルフフューズプログラム回路とを備える。

【0090】

本発明の例に関わる救済アドレスのプログラミング方法は、メモリセルから読み出される第1データと外部入力端子に与えられる第2データとに基づいて、前記メモリセルの良／不良を判定するステップと、前記メモリセルが不良の場合に、前記メモリセルのアドレスデータを、救済アドレスデータとして、電氣的フューズにプログラムするステップとを備える。

【0091】

【発明の実施の形態】

以下、図面を参照しながら、本発明の半導体メモリの例について詳細に説明する。

【0092】

(1) 概要

本発明は、主として、救済アドレスのプログラムをチップ毎に個別に行うことが多くなる組み立て工程後に発生するメモリセルの不良、例えば、ビット線不良に対しては、FAMを搭載した高価なテストを用いずに、救済アドレスのプログラムを行うことができる半導体メモリを提案するものである。

【0093】

即ち、本発明の半導体メモリでは、テストは、テストアドレス及びテストデータを生成する機能を有していればよく、テスト結果に基づく救済アドレス（救済解）は、半導体メモリ自身で作成すると共に、その救済アドレスのプログラムも、半導体メモリ自身で自動的に行う（セルフフューズプログラム）。

【0094】

これにより、不良セルの検出と、その不良セルの救済（不良セルからスペアセルへの置き換え）、即ち、救済アドレスのプログラムとに関するテスト工程のテスト効率の向上とテストコストの低下を実現できる。

【0095】

具体的には、本発明の半導体メモリにおいては、不良セルの検出に関しては、チップ内に、テストから与えられるテストデータ（ライトデータ）及びテストデータのプログラムが行われたメモリセルから読み出されるリードデータに基づいて、不良セルの検出を行うエラー検出回路を新設する。

【0096】

また、不良セルの救済に関しては、チップ内に、セルフフューズプログラム回路を新設する。セルフフューズプログラム回路は、不良セルが検出されたときに、その不良セルのアドレスを、救済アドレス（救済解）としてラッチするラッチ回路と、その救済アドレスを、1ビットずつ、電氣的フューズにプログラムするフューズプログラム回路とを備える。

【0097】

なお、救済アドレスのプログラム後に、この救済アドレスが正確に電氣的フューズにプログラムされたか否かをテストするモニタ回路を、さらに、チップ内に設けてもよい。

【0098】

このように、本発明によれば、不良セルの検出、救済アドレス（救済解）の作成及び救済アドレスのプログラムを、半導体メモリ内で自動的に行うため、FAMを搭載した高価なテストを用いずに、テスト工程を実施できる。

【0099】

本発明は、主として、組み立て工程後のテスト工程に対して効果的であるが、ウェハ段階におけるテスト工程に適用することも可能である。

【0100】**(2) 例1**

以下、本発明の例1に関わる半導体メモリについて説明する。

【0101】**① 全体図**

図1は、本発明の例1に関わる半導体メモリの主要部を示している。

チップ10内には、メモリセルアレイ11が配置される。メモリセルアレイ11は、複数のメモリブロック（例えば、バンク）のうちの1つであってもよい。本例では、メモリセルアレイ11は、デコーダ、センスアンプ、リード／ライト回路などの周辺回路の一部を含んでいるものとする。

【0102】

外部入出力端子（DQ端子）12は、プログラムデータをチップ10内に取り

込み、かつ、リードデータをチップ外に出力するための要素である。入力回路 1 4 は、外部入出力端子 1 2 に与えられたプログラムデータをメモリセルアレイ 1 1 に転送する。出力回路 1 7 は、メモリセルアレイ 1 1 から読み出されたリードデータを外部入出力端子 1 2 に転送する。

【0 1 0 3】

本例では、メモリセルアレイ 1 1 と入力回路 1 4 との間に、擬似リード制御回路（Pseudo Read Control Circuit）1 5 が配置され、メモリセルアレイ 1 1 と出力回路 1 6 との間に、擬似リード制御回路 1 6 が配置される。比較回路 1 8 は、擬似リード制御回路 1 5，1 6 の出力データ `comp W`，`comp R` に基づいて、検知信号（ラッチ信号）`COMPER R` を出力する。

【0 1 0 4】

擬似リード制御回路 1 5 は、ライトモード（テストモード時のライト動作を含む）時に、外部入出力端子 1 2 に与えられるプログラムデータを、メモリセルアレイ 1 1 に転送し、テストモード（擬似リードサイクル；Pseudo Read Cycle）時の期待値入力動作において、外部入出力端子 1 2 に与えられるプログラムデータ（期待値）を、比較回路 1 8 に転送する機能を有する。

【0 1 0 5】

また、テストモード時のライト動作及びテストモード（擬似リードサイクル）時の期待値入力動作では、入力回路 1 4 は、外部入出力端子 1 2 に与えられるプログラムデータを擬似リード制御回路 1 5 に転送することができるよう、活性化される。

【0 1 0 6】

擬似リード制御回路 1 6 は、リードモード時に、メモリセルアレイ 1 1 から読み出されるリードデータを、出力回路 1 7 に転送し、テストモード（擬似リードサイクル）時のリード動作において、メモリセルアレイ 1 1 から読み出されるリードデータを、比較回路 1 8 に転送する機能を有する。

【0 1 0 7】

また、テストモード（擬似リードサイクル）時のリード動作では、出力回路 1 7 は、擬似リード制御回路 1 6 の出力データを外部入出力端子 1 2 に転送しない

ように、非活性化される。

【0108】

比較回路18は、テストモード時に、プログラムデータ（期待値）compWとリードデータcompRとを比較し、その比較結果に基づいて、不良セルの検出を行う。

【0109】

擬似リード制御回路15、16及び比較回路18は、エラー検出回路13を構成している。エラー検出回路13は、本発明の半導体メモリの特徴の一つとなっている。

【0110】

外部入力端子（アドレス端子）19は、リード／ライトモード時及びテストモード時に、ロウ／カラムアドレスデータをチップ10内に取り込むための要素である。ロウ／カラムアドレスデータは、外部入力端子19を経由して、メモリセルアレイ11に与えられ、メモリセルの選択に使用される。

【0111】

テストモード時のライト動作では、メモリセルアレイ11内のメモリセルにプログラムデータ（テストデータ）をプログラムするために、ロウ／カラムアドレスデータがチップ10に供給される。テストモード（擬似リードサイクル）時のリード動作では、メモリセルアレイ11内のメモリセルからプログラムデータ（期待値）と比較するためのリードデータを読み出すために、ロウ／カラムアドレスデータがチップ10に供給される。

【0112】

また、テストモード時の救済アドレスラッチサイクルでは、メモリセルアレイ11内に不良セルが存在した場合に、その不良セルのアドレス（救済アドレス）をラッチ回路LAiにラッチするために、バンクアドレスデータ及びロウ／カラムアドレスデータ（実際にラッチするのは、その一部）がチップ10に供給される。

【0113】

ラッチ回路LAiは、テストモード時の救済アドレスラッチサイクルにおいて

、救済アドレス（救済解）をラッチする。不良セルをロウ単位で救済するロウ救済の場合には、ラッチ回路 LA_i は、ロウアドレスをラッチし、不良セルをカラム単位で救済するカラム救済の場合には、ラッチ回路 LA_i は、カラムアドレスをラッチする。

【0 1 1 4】

フューズプログラム回路 FP_i は、複数の電氣的フューズからなるフューズアレイを備える。フューズプログラム回路 FP_i は、フューズプログラムデータ $MAST$ 、 ADD_n により決定されるフューズアレイ内の 1 つの電氣的フューズ（例えば、キャパシタ）のキャパシタ絶縁膜を電氣的に破壊する。最終的に、フューズアレイには、マスターデータ（1 ビット） $FMAST$ 及び救済アドレスデータ（複数ビット） $FADD_n$ がプログラムされる。

【0 1 1 5】

マスターデータ $FMAST$ は、フューズプログラム回路 FP_i の有効／無効を決定するデータである。マスターデータ $FMAST$ がフューズプログラム回路 FP_i の有効を示している場合には、フューズプログラム回路 FP_i にプログラムされた救済アドレスデータ $FADD_n$ が有効になる。

【0 1 1 6】

カウンタ C_i 及びスイッチ回路 SW は、ラッチ回路 LA_i にラッチされた救済アドレスを、1 ビットずつ、電氣的フューズにプログラムするために設けられている。救済アドレスデータを構成する複数ビットのうち、カウンタ C_i により選択された 1 ビットは、ラッチ回路 LA_i からフューズプログラム回路 FP_i に転送される。

【0 1 1 7】

ラッチ回路 LA_i 、フューズプログラム回路 FP_i 、カウンタ C_i 及びスイッチ回路 SW は、セルフフューズプログラム回路 20 を構成している。セルフフューズプログラム回路 20 は、本発明の半導体メモリの特徴の一つとなっている。

【0 1 1 8】

モニタ回路 M は、マスターデータ $FMAST$ 及び救済アドレスデータ $FADD_n$ が、正確に、フューズアレイにプログラムされたか否かを検出するための回路

である。

【0119】

リード／ライトモード時には、フューズプログラム回路 F P i は、マスターデータ F M A S T 及び救済アドレスデータ F A D D n を出力する。リダンダンシイ回路 2 1 は、マスターデータ F M A S T がフューズプログラム回路 F P i の有効を示している場合に、救済アドレスデータ F A D D n と外部アドレスデータとを比較する。

【0120】

そして、両者が一致する場合には、リダンダンシイ回路 2 1 は、置き換え信号 R e p を出力する。メモリセルアレイ 1 1 は、置き換え信号 R e p を受けると、不良セルに代えて、スペアセルを選択する。

【0121】

なお、チップ 1 0 は、メモリチップの他、メモリセルアレイを備える I C チップ、例えば、メモリ混載 I C チップや、システム L S I チップなども含む。また、メモリの種類も限定されない。D R A M、S R A M、F e R A M、M R A M、R O M、フラッシュメモリなど、全てのメモリを含む。

【0122】

② エラー検出回路

次に、図 1 のエラー検出回路 1 3 の例について説明する。

【0123】

エラー検出回路 1 3 は、テストから与えられるテストデータ（ライトデータ）及びテストデータのプログラムが行われたメモリセルから読み出されるリードデータに基づいて、不良セルの検出を行う機能を有する。

【0124】

エラー検出回路 1 3 は、入力回路 1 4、擬似リード制御回路 1 5、1 6、出力回路 1 7 及び比較回路 1 8 から構成される。

【0125】

②-1. 概要

図 2 は、エラー検出回路の概要を示している。

【0126】

TMCOMPは、テストモード（擬似リードサイクル）にエントリーするか否かを決定する制御信号であり、例えば、TMCOMP = “H” の期間、テストモードが実行される。制御信号TMCOMPは、入力回路14、擬似リード制御回路15、16及び出力回路17に与えられ、テストモードにおけるこれら回路の状態を決定する。

【0127】

bWRITEは、ライトモード（テストモード時のライト動作を含む）のときに“L”、ライトモード以外のモードのときに、“H”となる制御信号である。ライトモード時には、プログラムデータを擬似リード制御回路15に転送するために、入力回路14は、制御信号bWRITEにより活性化される。この時、出力回路17は、制御信号bWRITEにより非活性化される。

【0128】

ノーマルライトモードでは、プログラムデータは、経路①を経由して、メモリセルアレイ11に転送される。テストモード（擬似リードサイクル）におけるライト動作においても、プログラムデータは、経路①を経由して、メモリセルアレイ11に転送される。

【0129】

ノーマルリードモードでは、リードデータは、経路①'を経由して、出力回路17に転送される。

【0130】

テストモード（擬似リードサイクル）時の期待値入力動作では、プログラムデータは、経路②を経由して、期待値として、比較回路18に転送される。テストモード（擬似リードサイクル）時のリード動作では、リードデータは、経路②を経由して、比較回路18に転送される。

【0131】

以下、エラー検出回路13を構成する各回路の具体例について説明する。

【0132】**②-2. 入力回路**

図 3 は、入力回路の例を示している。

【0133】

入力回路 14 は、インバータ I1 ～ I5 及びナンド（論理積否定）回路 NAND1，NAND2 から構成される。入力回路 14 の状態は、制御信号 TMCOMP，bWRITE によって制御される。

【0134】

例えば、ノーマルライトモードのときは、制御信号 TMCOMP 及び制御信号 bWRITE は、共に、“L” となるため、ナンドゲート回路 NAND1 の出力信号 bWTIN は、“H” となる。その結果、外部入出力端子 12 に与えられるプログラムデータは、入力回路 14 からプログラムデータ WD として出力される。

【0135】

また、ノーマルリードモードのときは、制御信号 TMCOMP は、“L”、制御信号 bWRITE は、“H” となるため、ナンドゲート回路 NAND1 の出力信号 bWTIN は、“L” となる。その結果、入力回路 14 の出力データ WD は、“L” に固定される。

【0136】

また、テストモード時のライト動作のときは、制御信号 TMCOMP は、“L”、制御信号 bWRITE は、“L” となるため、ナンドゲート回路 NAND1 の出力信号 bWTIN は、“H” となる。その結果、外部入出力端子 12 に与えられるプログラムデータは、プログラムデータ WD として、入力回路 14 から出力される。

【0137】

また、テストモード（擬似リードサイクル）時の期待値入力動作のときは、制御信号 TMCOMP は、“H”、制御信号 bWRITE は、“H” となるため、ナンドゲート回路 NAND1 の出力信号 bWTIN は、“H” となる。その結果、外部入出力端子 12 に与えられるプログラムデータは、プログラムデータ WD として、入力回路 14 から出力される。

【0138】

図 4 は、図 3 の入力回路の動作波形図を示している。

【0 1 3 9】

ライトモード（テストモード時のライト動作を含む）では、ナンドゲート回路 NAND 1 の出力信号 b W T I N が “H” であるため、入力データ（プログラムデータ）D Q と出力データ W D は、同相となる。

【0 1 4 0】

ノーマルリードモードでは、ナンドゲート回路 NAND 1 の出力信号 b W T I N が “L” であるため、入力回路 1 4 の出力データ W D は、常に、“L” となる。

【0 1 4 1】

テストモード（擬似リードサイクル）時の期待値入力動作では、ナンドゲート回路 NAND 1 の出力信号 b W T I N が “H” となるため、出力データ W D は、入力データ D Q に依存して変化する。

【0 1 4 2】

このように、本例では、入力回路 1 4 は、テストモードであっても、プログラムデータをチップ内に取り込むことができるように構成される。

【0 1 4 3】

②- 3. 出力回路

図 5 は、出力回路の例を示している。

【0 1 4 4】

出力回路 1 7 は、インバータ I 6 ～ I 1 1、ナンド（論理積否定）回路 NAND 3 ～ NAND 5、P チャネル MOS トランジスタ P 1 及び N チャネル MOS トランジスタ N 1 から構成される。出力回路 1 7 の状態は、制御信号 T M C O M P、b W R I T E によって制御される。

【0 1 4 5】

例えば、ノーマルライトモードのときは、制御信号 T M C O M P 及び制御信号 b W R I T E は、共に、“L” となるため、ナンドゲート回路 NAND 3、NAND 4 の出力信号は、“H” となり、ナンドゲート回路 NAND 5 の出力信号は、“L” となる。その結果、P チャネル MOS トランジスタ P 1 がオフ状態、N

チャネルMOSトランジスタN1がオン状態となり、出力回路17の出力データは、入力データRDDによらず、常に、“L”に固定される。

【0146】

また、ノーマルリードモードのときは、制御信号TMCOMPは、“L”、制御信号bWRITEは、“H”となるため、ナンドゲート回路NAND3～NAND5の出力信号の値は、入力データ（リードデータ）RDDの値に依存して変化する。例えば、入力データRDDが“H”のときは、PチャネルMOSトランジスタP1がオン状態、NチャネルMOSトランジスタN1がオフ状態となり、出力データも、“H”となる。また、入力データRDDが“L”のときは、PチャネルMOSトランジスタP1がオフ状態、NチャネルMOSトランジスタN1がオン状態となり、出力データも、“L”となる。

【0147】

また、テストモード時のライト動作のときは、制御信号TMCOMPは、“L”、制御信号bWRITEは、“L”となるため、ナンドゲート回路NAND3、NAND4の出力信号は、“H”となり、ナンドゲート回路NAND5の出力信号は、“L”となる。その結果、PチャネルMOSトランジスタP1は、オフ状態、NチャネルMOSトランジスタN1は、オン状態となり、出力回路17の出力データは、入力データRDDによらず、常に、“L”に固定される。

【0148】

また、テストモード（擬似リードサイクル）時のリード動作のときは、制御信号TMCOMP及び制御信号bWRITEは、共に、“H”となるため、ナンドゲート回路NAND3、NAND4の出力信号は、“H”となり、ナンドゲート回路NAND5の出力信号は、“H”となる。その結果、PチャネルMOSトランジスタP1及びNチャネルMOSトランジスタN1が、共に、オフ状態となり、出力回路17の出力ノードは、フローティング状態となる。

【0149】

図6は、図5の出力回路の動作波形図を示している。

【0150】

ノーマルリードモードでは、制御信号TMCOMPは、“L”、制御信号bW

R I T E は、“H” となる。

【0151】

入力データ R D D が “L” のときは、P G T = “H” により、P チャンネル M O S トランジスタ P 1 がオフ状態となり、N G T = “H” により、N チャンネル M O S トランジスタ N 1 がオン状態となる。また、入力データ R D D が “H” のときは、P G T = “L” により、P チャンネル M O S トランジスタ P 1 がオン状態となり、N G T = “L” により、N チャンネル M O S トランジスタ N 1 がオフ状態となる。

【0152】

テストモード（擬似リードサイクル）時のリード動作では、制御信号 T M C O M P は、“H”、制御信号 b W R I T E は、“H” となる。この場合、入力データ R D D の値によらず、P G T = “H”、N G T = “L” になるため、P チャンネル M O S トランジスタ P 1 及び N チャンネル M O S トランジスタ N 1 は、共に、オフ状態となる。

【0153】

このように、本例では、出力回路 17 は、テストモードにおいては、リード動作であっても、メモリセルアレイから読み出されるリードデータを外部入出力端子に転送しないように構成される。

【0154】

②-4. 擬似リード制御回路

図7は、擬似リード制御回路（ライト側）の例を示している。

【0155】

擬似リード制御回路 15 は、インバータ I 12 ~ I 14 及びナンド（論理積否定）回路 N A N D 6、N A N D 7 から構成される。擬似リード制御回路 15 の状態は、制御信号 T M C O M P によって制御される。

【0156】

例えば、ノーマル動作モード及びテストモード時のライト動作では、制御信号 T M C O M P は、“L” であるため、ナンドゲート回路 N A N D 6 の出力データの値は、入力データ（プログラムデータ）W D の値に依存して変化し、ナンドゲ

ート回路NAND 7の出力データの値は、入力データ（プログラムデータ）WDの値によらず、常に、“H”となる。

【0 1 5 7】

従って、ノーマル動作モード及びテストモード時のライト動作では、擬似リード制御回路15は、入力データ（プログラムデータ）WDを、出力データWTDとして、メモリセルアレイ11に転送する。

【0 1 5 8】

また、テストモード（擬似リードサイクル）時の期待値入力動作では、制御信号TMCOMPは、“H”であるため、ナンドゲート回路NAND 6の出力データの値は、入力データ（プログラムデータ）WDの値によらず、常に、“H”となり、ナンドゲート回路NAND 7の出力データの値は、入力データ（期待値としてのプログラムデータ）WDの値に依存して変化する。

【0 1 5 9】

従って、テストモード（擬似リードサイクル）時の期待値入力動作では、擬似リード制御回路15は、入力データ（期待値としてのプログラムデータ）WDを、出力データcompWとして、比較回路18に転送する。

【0 1 6 0】

図8は、擬似リード制御回路（リード側）の例を示している。

【0 1 6 1】

擬似リード制御回路16は、インバータI15～I17及びナンド（論理積否定）回路NAND 8，NAND 9から構成される。擬似リード制御回路16の状態は、制御信号TMCOMPによって制御される。

【0 1 6 2】

例えば、ノーマル動作モードのときは、制御信号TMCOMPは、“L”であるため、ナンドゲート回路NAND 8の出力データの値は、入力データ（リードデータ）RDの値に依存して変化する、ナンドゲート回路NAND 9の出力データの値は、入力データ（リードデータ）RDの値によらず、常に、“H”となる。

【0 1 6 3】

従って、ノーマル動作モードでは、擬似リード制御回路16は、入力データ（

リードデータ) RDを、出力データRDDとして、出力回路17に転送する。

【0164】

また、テストモード(擬似リードサイクル)時のリード動作では、制御信号TMCOMPは、“H”であるため、ナンドゲート回路NAND8の出力データの値は、入力データ(リードデータ)RDの値によらず、常に、“H”となり、ナンドゲート回路NAND9の出力データの値は、入力データ(リードデータ)RDの値に依存して変化する。

【0165】

従って、テストモード(擬似リードサイクル)時のリード動作では、擬似リード制御回路16は、入力データ(リードデータ)RDを、出力データcompRとして、比較回路18に転送する。

【0166】

図9は、図7及び図8の擬似リード制御回路の動作波形図を示している。

【0167】

ライトモード(テストモード時のライト動作を含む)では、制御信号TMCOMPは、“L”であるため、入力データ(プログラムデータ)WDと出力データWTDは、同相となる。出力データcompWは、常に、“L”を維持する。

【0168】

リードモードでは、制御信号TMCOMPは、“L”であるため、入力データ(リードデータ)RDと出力データRDDは、同相となる。出力データcompRは、常に、“L”を維持する。

【0169】

テストモード(擬似リードサイクル)の期待値入力動作では、制御信号TMCOMPは、“H”であるため、出力データcompWは、期待値としての入力データ(プログラムデータ)WDと同相となる。出力データWTDは、常に、“L”を維持する。

【0170】

テストモード(擬似リードサイクル)のリード動作では、制御信号TMCOMPは、“H”であるため、出力データcompRは、入力データ(リードデータ

) RDと同相となる。出力データRDDは、常に、“L”を維持する。

【0171】

このように、本例では、擬似リード制御回路15、16は、テストモード（擬似リードサイクル）時には、プログラムデータ（期待値）及びリードデータを、比較回路18に転送するように構成される。

【0172】

②-5. 比較回路

図10は、比較回路の例を示している。

【0173】

比較回路18は、PチャネルMOSトランジスタP2、P3、NチャネルMOSトランジスタN2、N3及びインバータI18、I19から構成される。

【0174】

比較回路18の出力データ（ラッチ信号）COMPERRの値は、入力データcompR、compWの値によって決定される。入力データcompR、compWの値が互いに等しい場合には、出力データCOMPERRの値は、“L”となり、互いに異なる場合には、出力データCOMPERRの値は、“H”となる。

【0175】

比較回路18の構成については、表2に示すような論理を実現できる回路であれば、図10の回路に限られず、どのような回路を用いてもよい。

【0176】

【表2】

1ビットタイプの場合

compR	L	H	L	H
compW	L	L	H	H
IN	H	L	L	H
COMPERR	L	H	H	L

図 11 は、比較回路 18 の他の例を示している。

【0177】

メモリセルアレイ 11 内の複数のメモリセル（複数ビット）に対して、同時に、リード／ライト動作を実現できる多ビットタイプ半導体メモリにおいては、本例に示すような回路が有効である。

【0178】

本例の比較回路 18 は、4 ビットタイプ半導体メモリに適用される比較回路の例である。4 つの比較回路 A, B, C, D は、それぞれ、図 10 に示す比較回路とほぼ同じ構成を有している。但し、図 10 の比較回路を 4 ビットタイプ半導体メモリに適用する場合には、図 10 の P チャネル MOS トランジスタ P3 及び N チャネル MOS トランジスタ N3 の出力ノード IN を出力端子とする。即ち、図 10 のインバータ I19 が不要となる。

【0179】

比較回路 A, B, C, D の出力データ IN0, IN1, IN2, IN3 は、ナンドゲート回路 NAND10 に入力され、比較回路 18 の出力データ（ラッチ信号）COMPERR は、ナンドゲート回路 NAND10 から出力される。

【0180】

本例では、全ての比較回路 A, B, C, D の出力データ IN0, IN1, IN2, IN3 が“H” のとき、即ち、全ての比較回路 A, B, C, D において、入力データ compR_i, compW_i (i=0, 1, 2, 3) の値が互いに等しい場合には、比較回路 18 の出力データ（ラッチ信号）COMPERR は、“L” となる。

【0181】

これに対し、比較回路 A, B, C, D の出力データ IN0, IN1, IN2, IN3 のうちの少なくとも 1 つが“L” のとき、即ち、比較回路 A, B, C, D の少なくとも 1 つにおいて、入力データ compR_i, compW_i (i=0, 1, 2, 3) の値が互いに異なる場合には、比較回路 18 の出力データ（ラッチ信号）COMPERR は、“H” となる。

【0182】

比較回路 18 の構成については、表 3 に示すような論理を実現できる回路であれば、図 11 の回路に限られず、どのような回路を用いてもよい。

【0183】

【表 3】

4ビットタイプの場合

IN0	L	H	...	L	H
IN1	L	L		H	H
IN2	L	L		H	H
IN3	L	L		H	H
COMPERR	H	H	...	H	L

【0184】

②-6. 動作

図 12 は、エラー検出回路の動作波形図を示している。

【0185】

まず、メモリセルアレイ内のメモリセルに対して、プログラムデータ（テストデータ）をプログラムするライトサイクルが実行される（テストモード時のライト動作）。この時、上述したように、図 2 の入力回路 14 は、活性化され、擬似リード制御回路（ライト側）15 は、テストデータをメモリセルアレイ 11 に転送する。

【0186】

この後、制御信号 TMCOMP が “H” になると、テストモード（擬似リードサイクル）にエントリーする。この時、上述したように、図 2 の入力回路 14 は、活性化され、擬似リード制御回路（ライト側）15 は、プログラムデータ（期待値。テストデータと同じ値を有する。）を比較回路 18 に転送する。また、図 2 の出力回路 17 は、非活性化され、擬似リード制御回路（リード側）16 は、リードデータを比較回路 18 に転送する。

【0187】

比較回路は、プログラムデータ（期待値）c o m p W の値とリードデータ c o m p R の値とを比較し、両者が不一致のときのみ、出力データ（ラッチ信号）C O M P E R R を “H” にする。

【0 1 8 8】

③ セルフフューズプログラム回路

次に、図 1 のセルフフューズプログラム回路 2 0 の例について説明する。

【0 1 8 9】

セルフフューズプログラム回路 2 0 は、不良セルが検出されたときに、その不良セルのアドレスを、救済アドレス（救済解）としてラッチすると共に、その救済アドレスを、1 ビットずつ、電氣的フューズにプログラムする機能を有する。

【0 1 9 0】

セルフフューズプログラム回路 2 0 は、ラッチ回路 L A i、フューズプログラム回路 F P i、カウンタ C i 及びスイッチ回路 S W から構成される。

【0 1 9 1】

なお、以下では、説明を明確にするため、前提条件を以下のように規定する。
1 つのチップ内には、4 つのバンク（メモリセルアレイ）が配置される。1 つのバンクに対して、1 つのセルフフューズプログラム回路及び 1 つのリダンダンシイ回路が設けられる。1 つのバンクは、例えば、1 6 ロウ及び 1 6 カラムのマトリックス状メモリセルアレイからなり、救済アドレスデータ F A D D 0 ~ F A D D 3 は、4 ビットから構成される。

【0 1 9 2】

この前提条件は、本発明を分かり易く説明するためのもので、バンクの数、1 つのバンクに対応するセルフフューズプログラム回路の数及びリダンダンシイ回路の数、1 つのバンクのロウ数／カラム数、ロウ救済にするか又はカラム救済にするかなどは、変更が可能である。

【0 1 9 3】

③- 1. 概要

図 1 3 は、セルフフューズプログラム回路の概要を示している。

【0 1 9 4】

セルフフューズプログラム回路は、不良セルが検出されたときに、その不良セルのアドレスを、救済アドレス（救済解）としてラッチするラッチ回路 LA_i ($i = 0, 1, 2, 3$) と、救済アドレスを電氣的フューズにプログラムするためのフューズプログラム回路 FP_i と、救済アドレスを、1ビットずつ、電氣的フューズにプログラムするためのカウンタ C_i 及びスイッチ回路 SW とを備える。

【0195】

検知信号（ラッチ信号） $COMPERR$ は、上述した図2のエラー検出回路から出力される信号である。ラッチ回路 LA_i には、マスターデータ $Master$ ($Vext$) 及びアドレスデータ $A_0 \sim A_5$ が入力される。

【0196】

マスターデータ $Master$ は、フューズプログラム回路 FP_i の有効／無効を決定するデータである。フューズプログラム回路 FP_i に救済アドレス（救済解）をプログラムする場合には、マスターデータ $Master$ は、フューズプログラム回路 FP_i が有効であることを示す値（例えば、“1”）に設定される。

【0197】

本例では、アドレスデータ（6ビット） $A_0 \sim A_5$ のうちの2ビット A_4, A_5 は、バンクの選択に使用される。即ち、アドレスデータ A_4, A_5 により、4つのバンクのうちの1つが選択され、その選択された1つのバンクに対して、救済アドレス（救済解）のプログラムが実行される。

【0198】

残りの4ビット $A_0 \sim A_3$ は、選択されたバンクに対する不良アドレス（救済解）を示している。不良セルからスペアセルへの置き換えをロウ単位で行うロウ救済の場合には、アドレスデータ $A_0 \sim A_3$ は、ロウアドレスデータであり、不良セルからスペアセルへの置き換えをカラム単位で行うカラム救済の場合には、アドレスデータ $A_0 \sim A_3$ は、カラムアドレスデータである。

【0199】

この4ビットアドレスデータ $A_0 \sim A_3$ により、16ロウ／カラムのうちの1ロウ／カラム（不良アドレス）が選択される。但し、1ロウ／カラム単位で、不良セルの救済を実行することを条件とする。

【0200】

不良セルの救済単位は、1ロウ／カラム単位であっても、又は、複数（例えば、2、4、8など）ロウ／カラム単位であってもよい。

【0201】**③-2. フューズプログラム回路**

まず、図13を参照しつつ、フューズプログラム回路F P i（ $i = 0, 1, 2, 3$ ）について説明する。

【0202】

フューズプログラム回路F P iは、1つのバンクに対応して、1つだけ設けられている。本例では、4つのバンクを前提としているため、チップ内には、4つのフューズプログラム回路F P iが設けられている。

【0203】

電氣的フューズE Fの一端は、共通に、1つのV B P ノードに接続される。この場合、電氣的フューズE Pに対するプログラムを、複数又は全て、同時に実行すると、キャパシタ絶縁膜を破壊しなければならない電氣的フューズ、即ち、“1”-プログラミングの対象となる電氣的フューズE Pに十分な高電圧が印加されない恐れがある。

【0204】

そこで、本例では、電氣的フューズE Pに対するプログラムは、1つ（1ビット）ずつ、実行される。

【0205】

電氣的フューズE Fの他端は、NチャネルMOSトランジスタT r 1, T r 2, N 4を経由して、接地ノードV s sに接続される。

【0206】

NチャネルMOSトランジスタT r 1は、フューズプログラム時には、ゲートに高電位V Pが印加され、常に、オン状態となる。NチャネルMOSトランジスタT r 2は、そのゲートに入力されるマスターデータM A S T及び救済アドレスデータA D D 0～A D D 3の値に応じて、オン状態又はオフ状態となる。

【0207】

カウンタ C_i に選択されないデータは、“L”であるため、そのデータがゲートに入力されるNチャネルMOSトランジスタ T_{r2} は、オフ状態である。カウンタ C_i に選択されるデータは、ラッチ回路 LA_i の出力データの値に応じて変化するため、NチャネルMOSトランジスタ T_{r2} は、オフ状態（“0”－プログラミング）又はオン状態（“1”－プログラミング）となる。

【0208】

フューズプログラム時には、フューズプログラム信号 PROGRAM が“H”となるため、NチャネルMOSトランジスタ N_4 は、常に、オン状態となる。つまり、NチャネルMOSトランジスタ T_{r2} がオン状態のときには、電氣的フューズ EF の両端に高電圧が印加され、その電氣的フューズ EF のキャパシタ絶縁膜が破壊される。

【0209】

③－3. ラッチ回路

③－3. －1. 全体図

図14は、ラッチ回路の例を示している。

【0210】

ラッチ回路 LA_i は、不良セルが検出されたときに、その不良セルのアドレスを、救済アドレス（救済解）としてラッチする機能を有する。

【0211】

本例では、ラッチ回路 LA_i の数は、バンク数（フューズプログラム回路 PF_i の数）に対応して、4つ存在する。各ラッチ回路の構成は、同じである。

【0212】

ラッチ回路 LA_i について、ラッチ回路 LA_0 を例に説明する。

ラッチ回路 LA_0 は、マスターデータラッチ回路 $MAS TL$ 、救済アドレス（救済解）ラッチ回路 $A_0 L \sim A_3 L$ 及びバンクアドレスデータラッチ回路 $Ban L$ から構成される。

【0213】

テストモード時、外部入力端子（アドレス端子）19には、テストの対象となるメモリセルを特定するためのアドレスデータ $A_0 \sim A_5$ が入力される。本例で

は、アドレスデータ A0～A5 のうちの上位 2 ビット A4, A5 は、4 つのバンクのうちの一つを選択するためのバンクアドレスデータとなり、残りの 3 ビット A0～A3 は、選択されたバンク内において、実際にメモリセルを選択するためのアドレスデータとして使用される。

【0214】

なお、実際にメモリセルを選択するためには、A0～A3 がロウアドレスデータの場合には、これに加えて、カラムアドレスデータが必要となり、A0～A3 がカラムアドレスデータの場合には、これに加えて、ロウアドレスデータが必要となる。

【0215】

そして、例えば、上述した図 2 のエラー検出回路（リード／ライト回路）13 を用いて、そのメモリセルの良／不良がテストされ、不良の場合には、比較回路 18 から、検知信号（ラッチ信号）COMPERR（＝“H”）が出力される。この検知信号 COMPERR は、ラッチ回路 LA0 内の N チャネル MOS トランジスタ N5 のゲートに入力される。

【0216】

この時、外部入力端子（アドレス端子）19 には、テストの対象となるメモリセルを特定するためのアドレスデータ A0～A5 が入力される。アドレスデータ（バンクアドレスデータ）A4, A5 は、デコード回路 23 に入力される。デコード回路 23 は、例えば、図 15 に示すような回路から構成される。デコード回路 23 は、アドレスデータ A4, A5 に基づいて、4 つのバンク 0～3 のうちの一つを選択する。

【0217】

例えば、バンク 0 内のメモリセルをテストした場合には、バンク 0 が選択される。この時、バンク 0 に対応するラッチ回路 LA0 に入力されるバンク選択信号 BA0 が“H”となり、非選択のバンク 1～3 に対応するラッチ回路 LA1～LA3 に入力されるバンク選択信号 BA1～BA3 が“L”となる。

【0218】

テストの対象となったメモリセルが不良の場合には、検知信号（ラッチ信号）

COMPERRが“H”であるため、バンク選択信号BA0は、バンクアドレスデータラッチ回路BanL内のラッチ回路LATCH・BA0Lに入力され、その不良となったメモリセルのアドレスデータは、救済アドレスとして、救済アドレスデータラッチ回路A0L～A3L内のラッチ回路LATCH・A0L～LATCH・A3Lに入力される。

【0219】

マスターデータMaster (Vext) は、例えば、常に、“H (=電源電位Vdd)” に設定されている。従って、検知信号 (ラッチ信号) COMPERRが“H” になるときは、マスターデータラッチ回路MASTL内のラッチ回路LATCH・MASTLには、マスターデータMaster (Vext) = “H” が入力される。

【0220】

ラッチ回路LATCH・BA0Lの出力信号 (バンク選択信号) BAL0は、マスターデータラッチ回路MASTL内のラッチ回路LATCH・MASTL及び救済アドレスデータラッチ回路A0L～A3L内のラッチ回路LATCH・A0L～LATCH・A3Lに入力され、これらラッチ回路の状態を制御する。

【0221】

テストモードベリファイ信号TMVERIFYについても、マスターデータラッチ回路MASTL内のラッチ回路LATCH・MASTL及び救済アドレスデータラッチ回路A0L～A3L内のラッチ回路LATCH・A0L～LATCH・A3Lに入力され、これらラッチ回路の状態を制御する。

【0222】

テストモードベリファイ信号TMVERIFYは、バンクアドレスデータラッチ回路BanL内のラッチ回路LATCH・BA0Lに入力されてもよいし、また、入力されなくてもよい (破線で示す)。

【0223】

図16は、図14のラッチ回路の動作波形例を示している。

テストモード時の擬似リードサイクルにおいて、検知信号 (ラッチ信号) COMPERRが“H” になると、マスターデータMaster (Vext) 及びア

ドレスデータ A0～A5 は、ラッチ回路にラッチされる。

【0224】

マスターデータ Master (Vext) は、常に、“H”であり、アドレスデータ A0～A5 は、不良セルのアドレス（ロウアドレス又はカラムアドレス）を表している。

【0225】

③-3. -2. バンクアドレスデータラッチ回路 BanL

図17は、バンクアドレスデータラッチ回路 BanL 内のラッチ回路 LATCH・BA0L の例を示している。

【0226】

ラッチ回路 LATCH・BA0L は、インバータ I21～I23、クロックドインバータ CI1、ナンドゲート回路 NAND11, NAND12、Pチャネル MOS トランジスタ P4 及び Nチャネル MOS トランジスタ N6 から構成される。

【0227】

Nチャネル MOS トランジスタ N6 は、電源投入後の初期化動作に用いるものである。本例では、bCRDY が“H”になることにより、データラッチ部の入力ノード LAI N1 が“L”に初期化される。

【0228】

テストモード時のラッチサイクルにおいて、bHIMAST は、“H”に設定される。その結果、ナンドゲート回路 NAND11 の出力データは、検知信号（ラッチ信号）COMPERR の値に依存するようになる。

【0229】

例えば、検知信号（ラッチ信号）COMPERR の値が“H”のときは、ナンドゲート回路 NAND11 の出力データは、“L”となり、Pチャネル MOS トランジスタ P4 は、オン状態となる。このため、バンク選択信号 BA0 は、Pチャネル MOS トランジスタ P4 を経由して、データラッチ部の入力ノード LAI N1 に転送される。

【0230】

また、検知信号（ラッチ信号）COMPERRの値が“L”のときは、ナンドゲート回路NAND11の出力データは、“H”となり、PチャネルMOSトランジスタP4は、オフ状態となる。このため、バンク選択信号BA0は、データラッチ部の入力ノードLAIN1に転送されない。

【0231】

本例では、実際にデータをラッチするラッチ部は、インバータI21及びクロックドインバータCI1から構成される。

【0232】

検知信号（ラッチ信号）COMPERRの値が“H”のとき、クロックドインバータCI1は、動作状態となり、ラッチ部は、バンク選択信号BA0をラッチできる状態となる。検知信号（ラッチ信号）COMPERRの値が“L”のときは、クロックドインバータCI1は、非動作状態となる。

【0233】

バンク0が選択されている場合には、バンク選択信号BA0は、“H”となるため、ラッチ部には、“H”がラッチされる。また、バンク0が選択されていない場合には、バンク選択信号BA0は、“L”となるため、ラッチ部には、“L”がラッチされる。

【0234】

ラッチ部にラッチされたバンク選択信号BA0は、クロック信号PCLKに同期して、バンク選択信号BAL0として、ラッチ回路LATCH・BA0Lから出力される。

【0235】

なお、クロック信号PCLKは、例えば、図20に示すように、テストモード時のフューズプログラムサイクルにおいて“H”となるフューズプログラム信号PROGRAMと、外部クロック信号CLKとのアンド論理をとることにより得ることができる。

【0236】

③-3. -3. マスターデータラッチ回路MASTL

図18は、マスターデータラッチ回路MASTL内のラッチ回路LATCH・

MASTLの例を示している。

【0237】

ラッチ回路LATCH・MASTLは、インバータI24～I26、クロックドインバータCI2、ナンドゲート回路NAND13～NAND15、PチャネルMOSトランジスタP5及びNチャネルMOSトランジスタN7から構成される。

【0238】

NチャネルMOSトランジスタN7は、電源投入後の初期化動作に用いるものである。本例では、bCRDYが“H”になることにより、データラッチ部の入力ノードLAIN2が“L”に初期化される。

【0239】

バンク0が選択されている場合、上述の図17のバンクアドレスデータラッチ回路LATCH・BALから出力されるバンク選択信号BAL0（＝“H”）は、クロック信号CLKに同期して出力される。また、バンク0内のテストの対象となったメモリセルが不良である場合には、検知信号（ラッチ信号）COMPERRは、“H”である。

【0240】

従って、ナンドゲート回路NAND13の出力データは、“L”となり、PチャネルMOSトランジスタP5は、オン状態となる。このため、マスターデータ（＝“H”）MASTLは、PチャネルMOSトランジスタP5を経由して、データラッチ部の入力ノードLAIN2に転送される。

【0241】

また、検知信号（ラッチ信号）COMPERRの値が“L”のときは、ナンドゲート回路NAND13の出力データは、“H”となり、PチャネルMOSトランジスタP5は、オフ状態となる。このため、マスターデータ（＝“H”）MASTLは、データラッチ部の入力ノードLAIN2に転送されない。

【0242】

ラッチ部は、インバータI24及びクロックドインバータCI2から構成される。検知信号（ラッチ信号）COMPERRの値が“H”のとき、クロックドイ

ンバータC I 2は、動作状態となり、ラッチ部は、マスターデータ (= “H”) MASTLをラッチする。検知信号 (ラッチ信号) COMPERRの値が “L” のときは、クロックドインバータC I 2は、非動作状態となる。

【0243】

ラッチ部にラッチされたマスターデータ (= “H”) MASTLは、クロック信号PCLKに同期して、マスターデータLMASTとして、ラッチ回路LATCH・MASTLから出力される。クロック信号PCLKは、上述したように、例えば、フューズプログラム信号PROGRAMと外部クロック信号CLKとのアンド論理をとることにより得られる (図20)。

【0244】

テストモードベリファイ信号TMVERIFYは、フューズプログラム回路FPiにプログラムされた救済アドレスデータを検証するときに “H” となる信号である。テストモードベリファイ信号TMVERIFYが “H” になると、ラッチ回路LATCH・MASTLから出力されるマスターデータLMASTは、“H” に固定される。

【0245】

③-3. -4. 救済アドレスデータラッチ回路AnL

図19は、救済アドレスデータラッチ回路AnL内のラッチ回路LATCH・AnLの例を示している。

【0246】

ラッチ回路LATCH・AnLは、インバータI27～I29、クロックドインバータC I 3、ナンドゲート回路NAND16～NAND18、PチャネルMOSトランジスタP6及びNチャネルMOSトランジスタN8から構成される。

【0247】

NチャネルMOSトランジスタN8は、電源投入後の初期化動作に用いるものである。本例では、bCRDYが “H” になることにより、データラッチ部の入力ノードLA IN3が “L” に初期化される。

【0248】

バンク0が選択されている場合、上述の図17のバンクアドレスデータラッチ

回路 LATCH・BAL から出力されるバンク選択信号 BAL0 (= “H”) は、クロック信号 PCLK に同期して出力される。また、バンク 0 内のテストの対象となったメモリセルが不良である場合には、検知信号 (ラッチ信号) COMPERR は、“H” である。

【0249】

従って、ナンドゲート回路 NAND16 の出力データは、“L” となり、P チャネル MOS トランジスタ P6 は、オン状態となる。このため、救済アドレスデータ AnL は、P チャネル MOS トランジスタ P6 を経由して、データラッチ部の入力ノード LAIN3 に転送される。

【0250】

また、検知信号 (ラッチ信号) COMPERR の値が “L” のときは、ナンドゲート回路 NAND16 の出力データは、“H” となり、P チャネル MOS トランジスタ P6 は、オフ状態となる。このため、救済アドレスデータ AnL は、データラッチ部の入力ノード LAIN3 に転送されない。

【0251】

ラッチ部は、インバータ I27 及びクロックドインバータ CI3 から構成される。検知信号 (ラッチ信号) COMPERR の値が “H” のとき、クロックドインバータ CI3 は、動作状態となり、ラッチ部は、救済アドレスデータ AnL をラッチする。検知信号 (ラッチ信号) COMPERR の値が “L” のときは、クロックドインバータ CI3 は、非動作状態となる。

【0252】

ラッチ部にラッチされた救済アドレスデータ AnL は、クロック信号 PCLK に同期して、救済アドレスデータ LADDn として、ラッチ回路 LATCH・AnL から出力される。

【0253】

テストモードベリファイ信号 TMVERIFY は、フューズプログラム回路 FPi にプログラムされた救済アドレスデータを検証するときに “H” となる信号である。テストモードベリファイ信号 TMVERIFY が “H” になると、ラッチ回路 LATCH・AnL から出力される救済アドレスデータ LADDn は、“

H” に固定される。

【0254】

③-3. -5. 動作

図21は、図17乃至図20のラッチ回路の動作波形例を示している。

【0255】

まず、カウンタ（シフトレジスタ）のイニシャライズサイクルにおいて、bCRDYが“H”になり、カウンタが初期化されると共に、ラッチ回路LATCH・BA0L, LATCH・MASTL, LATCH・AnLが初期化される（LAIN1～LAIN3＝“L”）。この後、bCRDYは、“L”になる。

【0256】

TMCOMPを“H”に設定し、テストモード（ライトサイクル+擬似リードサイクル）にエントリーする。この後、ラッチサイクルが実行される。

【0257】

bHITMASTが“H”となる。検知信号（ラッチ信号）COMPERRが“H”のときは、マスターデータMASTL（＝“H”）がラッチ回路LATCH・MASTLにラッチされ、救済アドレスデータAnL（n＝0, 1, 2, 3）がラッチ回路LATCH・AnLにラッチされる。

【0258】

そして、この後、PROGRAMを“H”に設定し、テストモードのフューズプログラムサイクルにエントリーする。マスターデータLMAST及び救済アドレスデータLADDnは、クロック信号PCLKに同期して、ラッチ回路LATCH・MASTL, LATCH・AnLから出力される。

【0259】

③-4. スイッチ回路

図22及び図23は、スイッチ回路の例を示している。

スイッチ回路SWは、アンドゲート回路から構成される。カウンタからの制御信号EFMAST, EFADDn（n＝0, 1, 2, 3）が“H”になると、スイッチ回路SWは、データを転送できる状態になる。

【0260】

例えば、図 22 に示すように、マスターデータ LMAST の転送の有無を決定するスイッチ SW は、ナンドゲート回路 NAND 20 及びインバータ I 31 から構成される。カウンタからの制御信号 EFMAST が “H” になると、マスターデータ LMAST は、フューズプログラムデータ（マスターデータ）MAST として、ラッチ回路からフューズプログラム回路に転送される。

【0261】

また、図 23 に示すように、救済アドレスデータ LADDn の転送の有無を決定するスイッチ SW は、ナンドゲート回路 NAND 21 及びインバータ I 32 から構成される。カウンタからの制御信号 EFADDn が “H” になると、救済アドレスデータ LADDn は、フューズプログラムデータ（救済アドレスデータ）ADDn として、ラッチ回路からフューズプログラム回路に転送される。

【0262】

なお、図 22 及び図 23 において、カウンタからの制御信号 EFMAST、EFADDn が “L” のときは、スイッチ回路 SW の出力データは、常に、“L” となる。

【0263】

③-5. カウンタ

③-5. -1. 概要

上述したように、フューズプログラム回路 FPi（図 13）内の複数の電氣的フューズ EF の一端は、共通に、VBPN ードに接続される。この場合、複数又は全ての電氣的フューズ EF に対して、同時に、データプログラムを実行すると、“1”-プログラミングの対象となる電氣的フューズ EF が 2 つ以上存在するときに、問題が生じることがある。

【0264】

即ち、高電圧により、最初に、1 つの電氣的フューズ EF が破壊されたとすると、VBPN ードから、その 1 つの電氣的フューズ EF を経由して、接地ノード Vss に電流が流れる。すると、複数の電氣的フューズ EF の一端（VBPN 側）の電位が低下し、まだ、破壊されていない “1”-プログラミングの対象となる電氣的フューズ EF に、十分な高電圧が印加されなくなり、“1”-プログラミ

ングが不可能になる可能性がある。

【0 2 6 5】

そこで、本例では、プログラミングの対象となる電氣的フューズ E F を選択するためのカウンタ C i 及び上述のスイッチ回路 S W (図 2 2 及び図 2 3) を新規に設け、マスターデータ L M A S T 及び救済アドレスデータ L A D D n を、1 ビットずつ、フューズプログラム回路 F P i 内の電氣的フューズ E F にプログラムするようにしている。

【0 2 6 6】

③- 5. - 2. 全体図

図 2 4 は、カウンタの例を示している。

本例では、カウンタ C i (i = 0 , 1 , 2 , 3) は、T Y P E - A 回路及び T Y P E - B 回路を有するシフトレジスタである。

【0 2 6 7】

制御信号 P C L K , b P C L K , C R D Y , b C R D Y は、T Y P E - A 回路及び T Y P E - B 回路にそれぞれ入力され、各回路の動作を制御する。制御信号 C R D Y と制御信号 b C R D Y との関係、及び、制御信号 P C L K と制御信号 b P C L K との関係は、図 2 5 に示すようになる。

【0 2 6 8】

③- 5. - 3. T Y P E - A 回路

図 2 6 は、T Y P E - A 回路の例を示している。

T Y P E - A 回路は、インバータ I 3 4 ~ I 3 7、クロックドインバータ C I 4、ナンドゲート回路 N A N D 2 2、P チャネル M O S トランジスタ P 7 及びスイッチ (トランスファゲート) S W 1 , S W 2 から構成される。

【0 2 6 9】

シフトレジスタのイニシャライズサイクル (図 2 1) では、制御信号 C R D Y が “L” になり、T Y P E - A 回路内のラッチ部の入力ノード n o d e A の電位が “H” に設定される。また、制御信号 C R D Y が “L” のとき、クロックドインバータ C I 4 が動作状態になるため、インバータ I 3 4 及びクロックドインバータ C I 4 からなるラッチ部には、“H” がラッチされる。

【0270】

制御信号PCLKは、図20に示すように、フューズプログラム信号PROGRAMと外部クロック信号CLKとのアンド論理をとることにより得られるクロック信号である。制御信号PCLKは、当初は、“L”状態であるため、スイッチSW2は、オン状態であり、インバータI35、I36からなるラッチ部にも、“H”がラッチされる。ノードnodeAの電位とFOUTの電位が、互いに等しくなる（FOUT=“H”）。

【0271】

この後、制御信号CRDYは、“H”になる。

【0272】

フューズプログラムサイクルでは、フューズプログラム信号PROGRAMが“H”であるため、外部クロック信号CLKに同期したクロック信号PCLKが生成される。TYPE-A回路の動作は、クロック信号PCLKに制御される。

【0273】

即ち、クロック信号PCLKが“H”になると、スイッチSW1がオン状態となり、インバータI34及びクロックドインバータCI4からなるラッチ部に“L”がラッチされる（nodeA=“L”）。また、出力信号FOUTは、“H”であるため、ナンドゲート回路NAND22の2つの入力信号は、共に、“H”となる。その結果、制御信号EFMASTは、“H”となる。

【0274】

制御信号EFMASTが“H”になると、上述のスイッチ回路（図22）は、マスターデータLMASTを転送できる状態となる。

【0275】

この後、クロック信号PCLKが“L”になると、再び、スイッチSW1がオフ状態、スイッチSW2がオン状態となり、インバータI35、I36からなるラッチ部にも、“L”がラッチされる。ノードnodeAの電位とFOUTの電位が、互いに等しくなる（FOUT=“L”）。

【0276】

さらに、この後、クロック信号PCLKが“H”になると、スイッチSW1が

オン状態となり、インバータ I 3 4 及びクロックドインバータ C I 4 からなるラッチ部に “L” がラッチされる (node A = “L”)。また、出力信号 F O U T は、“L” であるため、制御信号 E F M A S T は、“L” となる。

【0277】

制御信号 E F M A S T は、クロック信号 P C L K の最初のサイクル、即ち、クロック信号 P C L K が最初に “H” になったときに “H” となり、それ以降のサイクルでは、常に、“L” となる。

【0278】

③-5. -4. TYPE-B回路

図 2 7 は、TYPE-B回路の例を示している。

TYPE-B回路は、インバータ I 3 8 ~ I 4 2、ナンドゲート回路 N A N D 2 3、NチャネルMOSトランジスタ N 9 及びスイッチ (トランスファゲート) S W 3, S W 4 から構成される。

【0279】

シフトレジスタのイニシャライズサイクル (図 2 1) では、制御信号 C R D Y が “L”、制御信号 b C R D Y が “H” になり、TYPE-B回路内のラッチ部の入力ノード node B の電位が “L” に設定される。即ち、インバータ I 3 8, I 3 9 からなるラッチ部には、“L” がラッチされる。

【0280】

制御信号 P C L K は、フューズプログラム信号 P R O G R A M と外部クロック信号 C L K との AND 論理をとることにより得られるクロック信号である。制御信号 P C L K は、当初は、“L” 状態であるため、スイッチ S W 4 は、オン状態であり、インバータ I 4 0, I 4 1 からなるラッチ部にも、“L” がラッチされる。ノード node B の電位と F O U T m の電位が、互いに等しくなる (F O U T m = “L”)。

【0281】

この後、制御信号 b C R D Y は、“L” になる。

【0282】

フューズプログラムサイクルでは、フューズプログラム信号 P R O G R A M が

“H”であるため、外部クロック信号CLKに同期したクロック信号CLKが生成される。TYPE-B回路の動作は、クロック信号CLKに制御される。

【0283】

即ち、クロック信号CLKが“H”になると、スイッチSW3がオン状態となり、インバータI38、I39からなるラッチ部に、入力データFINmがラッチされる（nodeB=FINm）。

【0284】

入力データFINmは、前段のユニットの出力信号である。前段のユニットがTYPE-A回路である場合には、入力データFINmは、TYPE-A回路の出力データFOUTとなる。また、前段のユニットがTYPE-B回路である場合には、入力データFINmは、前段のTYPE-B回路の出力データFOUTm-1となる。

【0285】

出力信号FOUTmは、当初は、“L”であるため、ナンドゲート回路NAND22の出力データは、“H”となる。その結果、制御信号EFADDmは、“L”となる。

【0286】

この後、クロック信号CLKが“L”になると、再び、スイッチSW3がオフ状態、スイッチSW4がオン状態となり、インバータI40、I41からなるラッチ部にも、入力データFINm、即ち、前段のユニットの出力信号がラッチされる。ノードnodeBの電位とFOUTmの電位が、互いに等しくなる。

【0287】

さらに、この後、クロック信号CLKが“H”になると、本サイクルの前のサイクルでインバータI38、I39からなるラッチ部にラッチされた入力データFINmが“H”であるときには、現在のFOUTmの状態が“H”であるため、制御信号EFADDmは、“H”となる。

【0288】

制御信号EFADDmが“H”になると、上述のスイッチ回路（図23）は、救済アドレスデータ（1ビット）LADDmを転送できる状態となる。

【0 2 8 9】

本サイクルの前のサイクルでインバータ I 3 8、I 3 9 からなるラッチ部にラッチされた入力データ F I N_mが“L”であるときには、現在の F O U T_mの状態が“L”であるため、制御信号 E F A D D_mは、“L”となる。

【0 2 9 0】

制御信号 E F A D D_mが、一度、“H”になった場合には、そのサイクル以降のサイクルでは、制御信号 E F A D D_mは、常に、“L”となる。

【0 2 9 1】

以上より、図 2 4 乃至図 2 7 に示すカウンタの動作としては、最初のサイクルで、クロック信号 P C L K が“H”になると、制御信号 E F M A S T が“H”となり、この後のサイクルでは、クロック信号 P C L K が“H”になる度に、制御信号 E F A D D 0 から制御信号 E F A D D 3 まで、順次、“H”がシフトしていく動作となる。

【0 2 9 2】

③－5．－5． 動作

図 2 8 は、図 2 4 乃至図 2 7 のカウンタの動作波形例を示している。

シフトレジスタのイニシャライズサイクルでは、制御信号 C R D Y が“H”になり、制御信号 b C R D Y が“L”になる。テストモードエントリーサイクルにおいて、フューズプログラム信号 P R O G R A M が“H”となった後、フューズプログラムサイクルで、実際に、電氣的フューズ E F に対するデータプログラムが実行される。

【0 2 9 3】

即ち、最初に、制御信号 P C L K が“H”になると、制御信号 E F M A S T が“H”になり、例えば、図 1 3 のマスターデータ F M A S T に関わるトランジスタ T r 2 がオン状態となり、電氣的フューズ E F が破壊され、“1”－プログラミングが実行される。

【0 2 9 4】

次に、制御信号 P C L K が“H”になると、制御信号 E F A D D 0 が“H”になり、例えば、図 1 3 の救済アドレスデータ F A D D 0 に関わるトランジスタ T

r 2 は、プログラムデータに応じて、オン／オフ状態となる。

【0295】

フューズプログラムデータ ADD 0 が “1” の場合には、図 13 の救済アドレスデータ F ADD 0 に関わるトランジスタ T r 2 は、オン状態となるため、電氣的フューズ E F は、破壊される。フューズプログラムデータ ADD 0 が “0” の場合には、図 13 の救済アドレスデータ F ADD 0 に関わるトランジスタ T r 2 は、オフ状態となるため、電氣的フューズ E F は、破壊されない。

【0296】

この後、制御信号 P C L K が “H” になる度に、制御信号 E F ADD 1 ～ E F ADD 3 が、順次、“H” になり、例えば、図 13 の救済アドレスデータ F ADD 1 ～ F ADD 3 に関わる電氣的フューズ E F に、救済アドレスデータがプログラミングされる。

【0297】

本例のフューズプログラムサイクルでは、5 サイクル、即ち、5 回、制御信号 P C L K が “H” になることにより、1 つのバンク i に対応する 1 つのフューズプログラム回路 F P i に、1 つの救済アドレスデータがプログラムされる。

【0298】

本発明の例によれば、フューズプログラム回路 F P i 内の電氣的フューズ E F に対するプログラム動作は、救済アドレスデータの値によらず、常に、同じ動作となる。このため、1 つのテストを用いて、複数チップに対するフューズプログラムを同時に行うことが可能となる。

【0299】

即ち、電氣的フューズ E F に対する従来のプログラム動作では、“1” プログラミング（絶縁膜の破壊）を実行する電氣的フューズに対してのみ、プログラミング動作を行っていたため、1 つのテストは、1 つのチップに対するフューズプログラムしか行うことができない。

【0300】

これに対し、本発明に関わるエラー検出回路及びセルフフューズプログラム回路を用いれば、救済アドレスデータの値にかかわらず、常に、図 28 に示すよう

な動作により、フューズプログラムが実行される。

【0301】

即ち、本発明の例では、“1”-プログラミング（絶縁膜の破壊）を実行する電氣的フューズEFのみならず、“0”-プログラミングを実行する電氣的フューズEFに対しても、プログラミング動作を実行する。但し、“0”-プログラミング動作では、電氣的フューズEFは、破壊されないため、電氣的フューズEFの状態は、何ら変わらない。

【0302】

④ モニタ回路

④-1. 概要

次に、モニタ回路について説明する。

【0303】

モニタ回路Mi（ $i = 0, 1, 2, 3$ ）は、フューズプログラム回路F Piに対応している。本例では、4つのバンク0～3を前提とし、4つのフューズプログラム回路F Piをチップ内に設けたため、モニタ回路Miも、チップ内に4つ配置する。但し、後述する例のように、全てのバンク0～3又は全てのフューズプログラム回路F Piに対して、共通に、1つのモニタ回路Miを設けるようにしてもよい。

【0304】

図13に示すように、例えば、モニタ回路Miは、インバータI20、トランスファゲート（スイッチ）TG及びモニタ22から構成される。テストモードベリファイ信号TMVERIFYは、フューズプログラム回路F Pi内の電氣的フューズEFにプログラムされた救済アドレスデータを検証する際に、“H”となる信号である。

【0305】

本発明の例に関わるエラー検出回路及びセルフフューズプログラム回路を用いた場合、救済アドレスは、チップ内で自動的に生成され、かつ、チップ内で自動的に電氣的フューズEFにプログラムされる。

【0306】

そこで、フューズプログラム回路 F P i にプログラムされた救済アドレスデータをモニタするためのモニタ回路 M i を用意する。モニタ回路 M i は、チップ内部に設けても、又は、チップ外部に設けても、どちらでもよい。モニタ回路 M i の一部、例えば、モニタ 22 のみを、チップ外部に設けてもよい。

【0307】

モニタ回路 M i は、フューズプログラム回路 F P i にプログラムされた救済アドレスデータをモニタするために使用することができる。

【0308】

また、例えば、テストモード時に、テストにより、検知信号（ラッチ信号）COMPERR をモニタし、COMPERR = “H” になったときの外部アドレスデータ（救済アドレスデータ）A0 ~ A3 を記憶しておく。そして、本発明に関わる救済アドレスデータのプログラミングが終了した後に、正確に、救済アドレスデータがプログラミングされたか否かを、モニタ回路 M i を用いて検証（ベリファイ）することができる。

【0309】

④-2. 動作

図 43 は、ベリファイ動作の動作波形例を示している。

本例では、1つのバンクに1つのモニタ回路を対応させているため、バンクの選択のために使用する /RAS 及び A4, A5 は、無視してよい。

【0310】

ベリファイ動作では、図 13 の電氣的フューズ E F の一端に共通に接続される VBP ノードには、高電位 VBP に代えて、例えば、電源電位 V d d を与える。ベリファイモードでは、まず、テストモードベリファイ信号 TMVERIFY が “H” になる。

【0311】

この時、例えば、図 18 に示すマスターデータラッチ回路 LATCH・MASTL の出力データ LMAST 及び図 19 に示す救済アドレスデータラッチ回路 LATCH・AnL の出力データ LADDn は、強制的に、“H” となる。また、図 13 のモニタ回路 M i 内のトランスファゲート T G がオン状態となり、モニタ

22 がフューズプログラム回路 F P i 内のトランジスタ T r 2 の一端に電氣的に接続される。

【0312】

また、制御信号 C R D Y が “L” になり、図 24 乃至図 27 のカウンタ（シフトレジスタ）C i がイニシャライズされる。この後、制御信号 C R D Y は、“H” になる。

【0313】

ベリファイサイクルでは、クロック信号 C L K に同期して、図 13 のカウンタ C i の出力データ E F M A S T, E F A D D 0, E F A D D 1, E F A D D 2, E F A D D 3 が、順次、“H” になる。

【0314】

図 13 のラッチ回路 L A 0, L A 1, L A 2, L A 3 の出力データ L M A S T, L A D D n は、上述のように、全て、“H” であるため、カウンタ C i の出力データ E F M A S T, E F A D D 0, E F A D D 1, E F A D D 2, E F A D D 3 が、順次、“H” になることにより、フューズプログラム回路 F P i 内の電氣的フューズ E F の状態を、モニタ回路 M i によりモニタすることができる。

【0315】

例えば、カウンタ C i の出力データ E F A D D 0 が “H” のとき、救済アドレスデータ F A D D 0 に関わる電氣的フューズ E F の他端は、モニタ回路 M i に電氣的に接続される。この場合、電氣的フューズ E F が破壊されていれば（“1” 状態）、V B P ノードからモニタ回路 M i に向かって電流が流れ、電氣的フューズ E F が破壊されていなければ（“0” 状態）、V B P ノードからモニタ回路 M i に向かって電流が流れることはない。

【0316】

従って、例えば、モニタ回路 M i により、この電流の有無を検出することにより、救済アドレスデータ F A D D 0 に関わる電氣的フューズ E F の状態を確認することができる。

【0317】

セルフフューズプログラム（自己救済）の場合、本来は、期待値（プログラム

されるべき値)が存在しないので、フューズプログラムデータのベリファイを実行する必要がない。

【0318】

しかし、このような状況下でも、回路動作の確認のために、セルフフューズプログラムではなく、故意に、ライトデータをプログラムする場合には、ベリファイが必要となる。つまり、モニタ回路M_iにより確認されたデータとテストに記憶された救済アドレスデータとを比較することにより、正確に、救済アドレスデータがフューズプログラム回路F P_iにプログラミングされたか否かを検証(ベリファイ)できる。

【0319】

なお、ベリファイ動作は、フューズプログラム動作の後、続けて行うことができる。但し、図43に示すように、ベリファイ動作前には、ベリファイエントリー動作及びシフトレジスタのイニシャライズ動作を行う必要がある。

【0320】

⑤ 変形例

図17のバンクアドレスデータラッチ回路LATCH・BA0L、図18のマスターデータラッチ回路LATCH・MASTL及び図19の救済アドレスデータラッチ回路LATCH・AnLの変形例について説明する。

【0321】

⑤-1. バンクアドレスデータラッチ回路BanL

図29は、バンクアドレスデータラッチ回路BanL内のラッチ回路LATCH・BA0Lの例を示している。

【0322】

ラッチ回路LATCH・BA0Lは、インバータI43～I46、クロックドインバータCI5、ナンドゲート回路NAND24, NAND25、PチャネルMOSトランジスタP8及びNチャネルMOSトランジスタN10から構成される。

【0323】

NチャネルMOSトランジスタN10は、電源投入後の初期化動作に用いるも

のである。本例では、b C R D Y が “H” になることにより、データラッチ部の入力ノード L A I N 1 が “L” に初期化される。

【0 3 2 4】

テストモード時のラッチサイクルにおいて、例えば、検知信号（ラッチ信号）C O M P E R R の値が “H” のときは、PチャネルMOSトランジスタP 8は、オン状態となる。このため、バンク選択信号B A 0は、PチャネルMOSトランジスタP 8を経由して、データラッチ部の入力ノードL A I N 1に転送される。

【0 3 2 5】

また、検知信号（ラッチ信号）C O M P E R R の値が “L” のときは、PチャネルMOSトランジスタP 8は、オフ状態となる。このため、バンク選択信号B A 0は、データラッチ部の入力ノードL A I N 1に転送されない。

【0 3 2 6】

本例では、実際にデータをラッチするラッチ部は、インバータI 4 4及びクロックドインバータC I 5から構成される。

【0 3 2 7】

検知信号（ラッチ信号）C O M P E R R の値が “H” のとき、クロックドインバータC I 5は、動作状態となり、ラッチ部は、バンク選択信号B A 0をラッチできる状態となる。検知信号（ラッチ信号）C O M P E R R の値が “L” のときは、クロックドインバータC I 5は、非動作状態となる。

【0 3 2 8】

バンク0が選択されている場合には、バンク選択信号B A 0は、“H”となるため、ラッチ部には、“H”がラッチされる。また、バンク0が選択されていない場合には、バンク選択信号B A 0は、“L”となるため、ラッチ部には、“L”がラッチされる。

【0 3 2 9】

ラッチ部にラッチされたバンク選択信号B A 0は、クロック信号P C L Kに同期して、バンク選択信号B A L 0として、ラッチ回路L A T C H ・ B A 0 Lから出力される。

【0 3 3 0】

テストモードベリファイ信号 `TMVERIFY` が “H” のときは、ラッチ回路 `LATCH・BA0L` の出力データ `BA0` は、“H” に固定される。

【0331】

⑤-2. マスターデータラッチ回路 `MASTL`

図30は、マスターデータラッチ回路 `MASTL` 内のラッチ回路 `LATCH・MASTL` の例を示している。

【0332】

ラッチ回路 `LATCH・MASTL` は、インバータ `I47～I50`、クロックドインバータ `CI6`、ナンドゲート回路 `NAND26～NAND27`、PチャネルMOSトランジスタ `P9` 及びNチャネルMOSトランジスタ `N11` から構成される。

【0333】

NチャネルMOSトランジスタ `N11` は、電源投入後の初期化動作に用いるものである。本例では、`bCRDY` が “H” になることにより、データラッチ部の入力ノード `LA IN2` が “L” に初期化される。

【0334】

バンク0が選択されている場合、上述の図29のバンクアドレスデータラッチ回路 `LATCH・BA0L` から出力されるバンク選択信号 `BA0` (= “H”) は、クロック信号 `CLK` に同期して出力される。また、バンク0内のテストの対象となったメモリセルが不良である場合には、検知信号（ラッチ信号）`COMPERR` は、“H” である。

【0335】

従って、PチャネルMOSトランジスタ `P9` は、オン状態となる。このため、マスターデータ (= “H”) `MASTL` は、PチャネルMOSトランジスタ `P9` を経由して、データラッチ部の入力ノード `LA IN2` に転送される。

【0336】

また、検知信号（ラッチ信号）`COMPERR` の値が “L” のときは、PチャネルMOSトランジスタ `P9` は、オフ状態となる。このため、マスターデータ (= “H”) `MASTL` は、データラッチ部の入力ノード `LA IN2` に転送されな

い。

【0337】

ラッチ部は、インバータ I 48 及びクロックドインバータ C I 6 から構成される。検知信号（ラッチ信号）COMPERR の値が “H” のとき、クロックドインバータ C I 6 は、動作状態となり、ラッチ部は、マスターデータ（= “H”）MASTL をラッチする。検知信号（ラッチ信号）COMPERR の値が “L” のときは、クロックドインバータ C I 6 は、非動作状態となる。

【0338】

ラッチ部にラッチされたマスターデータ（= “H”）MASTL は、クロック信号 PCLK に同期して、マスターデータ LMAST として、ラッチ回路 LATCH・MASTL から出力される。

【0339】

バンク選択信号 BAL0 が “L” のときは、ラッチ回路 LATCH・MASTL の出力データ LMAST は、“L” に固定される。また、テストモードベリファイ信号 TMVERIFY が “H” のときは、ラッチ回路 LATCH・MASTL の出力データ LMAST は、“H” に固定される。

【0340】

⑤-3. 救済アドレスデータラッチ回路 AnL

図 31 は、救済アドレスデータラッチ回路 AnL 内のラッチ回路 LATCH・AnL の例を示している。

【0341】

ラッチ回路 LATCH・AnL は、インバータ I 51～I 54、クロックドインバータ C I 7、ナンドゲート回路 NAND28～NAND29、Pチャネル MOS トランジスタ P10 及び Nチャネル MOS トランジスタ N12 から構成される。

【0342】

Nチャネル MOS トランジスタ N12 は、電源投入後の初期化動作に用いるものである。本例では、bCRDY が “H” になることにより、データラッチ部の入力ノード LA IN3 が “L” に初期化される。

【0343】

バンク0が選択されている場合、上述の図29のバンクアドレスデータラッチ回路LATCH・BALから出力されるバンク選択信号BAL0(=“H”)は、クロック信号CLKに同期して出力される。また、バンク0内のテストの対象となったメモリセルが不良であるの場合には、検知信号(ラッチ信号)COMPERRは、“H”である。

【0344】

従って、PチャネルMOSトランジスタP10は、オン状態となる。このため、救済アドレスデータAnLは、PチャネルMOSトランジスタP10を経由して、データラッチ部の入力ノードLAIN3に転送される。

【0345】

また、検知信号(ラッチ信号)COMPERRの値が“L”のときは、PチャネルMOSトランジスタP10は、オフ状態となる。このため、救済アドレスデータAnLは、データラッチ部の入力ノードLAIN3に転送されない。

【0346】

ラッチ部は、インバータI52及びクロックドインバータCI7から構成される。検知信号(ラッチ信号)COMPERRの値が“H”のとき、クロックドインバータCI7は、動作状態となり、ラッチ部は、救済アドレスデータAnLをラッチする。検知信号(ラッチ信号)COMPERRの値が“L”のときは、クロックドインバータCI7は、非動作状態となる。

【0347】

ラッチ部にラッチされた救済アドレスデータAnLは、クロック信号CLKに同期して、救済アドレスデータLADDnとして、ラッチ回路LATCH・AnLから出力される。

【0348】

バンク選択信号BAL0が“L”のときは、ラッチ回路LATCH・AnLの出力データLADDnは、“L”に固定される。また、テストモードベリファイ信号TMVERIFYが“H”のときは、ラッチ回路LATCH・AnLの出力データLADDnは、“H”に固定される。

【0 3 4 9】

⑥ 効果

本発明の例 1 によれば、チップ内に、メモリセルの不良を検出するエラー検出回路と、その不良のメモリセルのアドレスを救済アドレスとして、自動的に、フューズプログラム回路にプログラムするセルフフューズプログラム回路とを新規に設けている。このため、特に、組み立て工程後に発生するメモリセルの不良を、FAM を搭載した高価なテストを用いずに救済することができる。

【0 3 5 0】

例えば、図 4 4 に示すように、本発明に関わるテストフローによれば、組み立て工程後に発生するメモリセルの不良を、救済アドレス作成機能を有しない安価なテストでテストすることが可能になる。しかも、救済アドレスの作成及びそのプログラムは、チップ内で自動的に行われることになると共に（セルフフューズプログラム）、1 つのテストで複数のチップに対して同時にフューズプログラムすることも可能になる。

【0 3 5 1】

この効果は、図 4 4 のテストフローを図 5 1 のテストフローと比較すれば、明らかである。

従って、テスト時間の短縮による製造コストの低下が可能となる。

【0 3 5 2】

(3) 例 2

以下、本発明の例 2 に関わる半導体メモリについて説明する。

【0 3 5 3】

① 全体図

図 3 2 は、本発明の例 2 に関わる半導体メモリの主要部を示している。

例 2 に関わる半導体メモリの特徴は、例 1 に関わる半導体メモリと比べると、セルフフューズプログラム回路 2 0 内に、テストモードのベリファイサイクルで、バンクを選択するバンクセレクト機能を発揮することができるバンクセレクト回路 B S i を設けた点にある。

【0 3 5 4】

例 1 では、ラッチ回路 LA_i がバンクセレクト機能を有している。しかし、このバンクセレクト機能は、テストモード時のフューズプログラムサイクルにおいて発揮されるものであった。つまり、テストモードのベリファイサイクルでは、テストモードベリファイ信号 $TMVERIFY$ が “H” になることにより、全てのバンクに対応する全てのフューズプログラム回路 FP に対して、救済アドレスデータのモニタ動作が行われていた（図 13、図 17-19 及び図 29-図 31 を参照）。

【0355】

これに対し、例 2 では、バンクセレクト回路 BS_i は、テストモード時のフューズプログラムサイクル及びベリファイサイクルで、バンクを選択するバンクセレクト機能を発揮することができる。このため、選択されたバンクに対応するフューズプログラム回路 FP_i 内の電氣的フューズ EF にプログラムされた救済アドレスデータのみを、選択的に、モニタ回路 M でモニタすることができる。その結果、モニタ回路 M は、チップ 10 に 1 つだけ設ければ足りる。

【0356】

以下、本例の半導体メモリの具体的構成について説明する。

【0357】

チップ 10 内には、メモリセルアレイ 11 が配置される。メモリセルアレイ 11 は、複数のメモリブロック（例えば、バンク）のうちの 1 つであってもよい。本例では、メモリセルアレイ 11 は、デコーダ、センスアンプ、リード／ライト回路などの周辺回路の一部を含んでいるものとする。

【0358】

外部入出力端子（DQ 端子）12 は、プログラムデータをチップ 10 内に取り込み、かつ、リードデータをチップ外に出力するための要素である。入力回路 14A は、外部入出力端子 12 に与えられたプログラムデータをメモリセルアレイ 11 に転送する。出力回路 17A は、メモリセルアレイ 11 から読み出されたりードデータを外部入出力端子 12 に転送する。

【0359】

メモリセルアレイ 11 と入力回路 14 との間には、擬似リード制御回路（Pse

udo Read Control Circuit) 1 5 が配置され、メモリセルアレイ 1 1 と出力回路 1 6 との間には、擬似リード制御回路 1 6 が配置される。比較回路 1 8 は、擬似リード制御回路 1 5, 1 6 の出力データ c o m p W, c o m p R に基づいて、検知信号（ラッチ信号）C O M P E R R を出力する。

【 0 3 6 0 】

擬似リード制御回路 1 5 は、ライトモード（テストモード時のライト動作を含む）時に、外部入出力端子 1 2 に与えられるプログラムデータを、メモリセルアレイ 1 1 に転送し、テストモード（擬似リードサイクル；Pseudo Read Cycle）時の期待値入力動作において、外部入出力端子 1 2 に与えられるプログラムデータ（期待値）を、比較回路 1 8 に転送する機能を有する。

【 0 3 6 1 】

また、テストモード時のライト動作及びテストモード（擬似リードサイクル）時の期待値入力動作では、入力回路 1 4 は、外部入出力端子 1 2 に与えられるプログラムデータを擬似リード制御回路 1 5 に転送することができるよう、活性化される。

【 0 3 6 2 】

擬似リード制御回路 1 6 は、リードモード時に、メモリセルアレイ 1 1 から読み出されるリードデータを、出力回路 1 7 に転送し、テストモード（擬似リードサイクル）時のリード動作において、メモリセルアレイ 1 1 から読み出されるリードデータを、比較回路 1 8 に転送する機能を有する。

【 0 3 6 3 】

また、テストモード（擬似リードサイクル）時のリード動作では、出力回路 1 7 は、擬似リード制御回路 1 6 の出力データを外部入出力端子 1 2 に転送しないように、非活性化される。

【 0 3 6 4 】

比較回路 1 8 は、テストモード時に、プログラムデータ（期待値）c o m p W とリードデータ c o m p R とを比較し、その比較結果に基づいて、不良セルの検出を行う。

【 0 3 6 5 】

擬似リード制御回路 1 5, 1 6 及び比較回路 1 8 は、エラー検出回路 1 3 を構成している。

【0 3 6 6】

外部入力端子（アドレス端子）1 9 は、リード／ライトモード時及びテストモード時に、ロウ／カラムアドレスデータをチップ 1 0 内に取り込むための要素である。ロウ／カラムアドレスデータは、外部入力端子 1 9 を経由して、メモリセルアレイ 1 1 に与えられ、メモリセルの選択に使用される。

【0 3 6 7】

テストモード時のライト動作では、メモリセルアレイ 1 1 内のメモリセルにプログラムデータ（テストデータ）をプログラムするために、ロウ／カラムアドレスデータがチップ 1 0 に供給される。テストモード（擬似リードサイクル）時のリード動作では、メモリセルアレイ 1 1 内のメモリセルからプログラムデータ（期待値）と比較するためのリードデータを読み出すために、ロウ／カラムアドレスデータがチップ 1 0 に供給される。

【0 3 6 8】

また、テストモード時の救済アドレスラッチサイクルでは、メモリセルアレイ 1 1 内に不良セルが存在した場合に、その不良セルの外部アドレスを、救済アドレスとして、をラッチ回路 L A i にラッチするために、ロウ／カラムアドレスデータ（実際にラッチするのは、その一部）がチップ 1 0 に供給される。

【0 3 6 9】

ラッチ回路 L A i は、テストモード時の救済アドレスラッチサイクルにおいて、救済アドレス（救済解）をラッチする。不良セルをロウ単位で救済するロウ救済の場合には、ラッチ回路 L A i は、ロウアドレスをラッチし、不良セルをカラム単位で救済するカラム救済の場合には、ラッチ回路 L A i は、カラムアドレスをラッチする。

【0 3 7 0】

フューズプログラム回路 F P i は、複数の電氣的フューズからなるフューズアレイを備える。フューズプログラム回路 F P i は、フューズプログラムデータ M A S T, A D D n により決定されるフューズアレイ内の 1 つの電氣的フューズ（

例えば、キャパシタ)のキャパシタ絶縁膜を電氣的に破壊する。最終的に、フューズアレイには、マスターデータ(1ビット)FMAST及び救済アドレスデータ(複数ビット)FADDnがプログラムされる。

【0371】

マスターデータFMASTは、フューズプログラム回路FPIの有効/無効を決定するデータである。マスターデータFMASTがフューズプログラム回路FPIの有効を示している場合には、フューズプログラム回路FPIにプログラムされた救済アドレスデータFADDnが有効になる。

【0372】

カウンタCi及びスイッチ回路SWは、ラッチ回路LAIにラッチされた救済アドレスを、1ビットずつ、電氣的フューズにプログラムするために設けられている。救済アドレスデータを構成する複数ビットのうち、カウンタCiにより選択された1ビットは、ラッチ回路LAIからフューズプログラム回路FPIに転送される。

【0373】

バンクセレクト回路BSiは、テストモードのフューズプログラム時及びベリファイ時に、複数のバンクのうちの1つを選択し、選択された1つのバンクに対応するフューズプログラム回路FPIに対して、フューズプログラム動作、及び、それにプログラムされた救済アドレスのベリファイ動作を実行するための要素である。

【0374】

ラッチ回路LAI、バンクセレクト回路BSi、フューズプログラム回路FPI、カウンタCi及びスイッチ回路SWは、セルフフューズプログラム回路20を構成している。

【0375】

モニタ回路Mは、マスターデータFMAST及び救済アドレスデータFADDnが、正確に、フューズアレイにプログラムされたか否かを検出するための回路である。

【0376】

リード／ライトモード時には、フューズプログラム回路 F P i は、マスターデータ F M A S T 及び救済アドレスデータ F A D D n を出力する。リダンダンシ回路 2 1 は、マスターデータ F M A S T がフューズプログラム回路 F P i の有効を示している場合に、救済アドレスデータ F A D D n と外部アドレスデータとを比較する。

【0 3 7 7】

そして、両者が一致する場合には、リダンダンシ回路 2 1 は、置き換え信号 R e p を出力する。メモリセルアレイ 1 1 は、置き換え信号 R e p を受けると、不良セルに代えて、スペアセルを選択する。

【0 3 7 8】

② エラー検出回路

図 3 2 のエラー検出回路 1 3 に対しては、例えば、図 1 のエラー検出回路 1 3 の例（図 2 ～図 1 2）をそのまま適用できる。従って、ここでは、エラー検出回路 1 3 の説明については、省略する。

【0 3 7 9】

③ セルフフューズプログラム回路

次に、図 3 2 のセルフフューズプログラム回路 2 0 の例について説明する。

【0 3 8 0】

セルフフューズプログラム回路 2 0 は、不良セルが検出されたときに、その不良セルのアドレスを、救済アドレス（救済解）としてラッチすると共に、その救済アドレスを、1 ビットずつ、電氣的フューズにプログラムする機能を有する。

【0 3 8 1】

セルフフューズプログラム回路 2 0 は、ラッチ回路 L A i、バンクセレクト回路 B S i、フューズプログラム回路 F P i、カウンタ C i 及びスイッチ回路 S W から構成される。

【0 3 8 2】

なお、本回路の説明に当たり、例 1 と同様に、以下のように前提条件を規定する。1 つのチップ内には、4 つのバンク（メモリセルアレイ）が配置される。1 つのバンクに対して、1 つのセルフフューズプログラム回路及び 1 つのリダンダ

ンシイ回路が設けられる。1つのバンクは、16ロウ、又は、16カラムからなり、救済アドレスデータFADD0～FADD3は、4ビットから構成される。

【0383】

この前提条件は、例1と同様に、単に、本発明を分かり易く説明するためのもので、バンクの数、1つのバンクに対応するセルフフューズプログラム回路の数及びリダンダンシイ回路の数、1つのバンクのロウ数／カラム数、ロウ救済にするか又はカラム救済にするかなどは、変更が可能である。

【0384】

以下では、1つのバンクに対して、1つの救済アドレス（救済解）を求め、これを、セルフプログラムする例について述べるが、複数の救済アドレス（救済解）を求め、これを、セルフプログラムするようにしてもよい。

【0385】

③-1. 概要

図33は、セルフフューズプログラム回路の概要を示している。

【0386】

セルフフューズプログラム回路は、不良セルが検出されたときに、その不良セルのアドレスを、救済アドレス（救済解）としてラッチするラッチ回路L A i（ $i = 0, 1, 2, 3$ ）と、救済アドレスを電氣的フューズにプログラムするためのフューズプログラム回路F P iと、救済アドレスを、1ビットずつ、電氣的フューズにプログラムするためのカウンタC i及びスイッチ回路S Wと、フューズプログラム動作又はベリファイ動作の対象となるバンクを選択するためのバンクセレクト回路とを備える。

【0387】

テストモードベリファイ信号T M V E R I F Yは、フューズプログラム回路F P i内の電氣的フューズE Fにプログラムされたデータを検証（ベリファイ）するときに活性化される信号である。ラッチ回路L A iには、マスターデータM a s t e r（V e x t）及びアドレスデータA 0～A 5が入力される。

【0388】

マスターデータM a s t e rは、フューズプログラム回路F P iの有効／無効

を決定するデータである。フューズプログラム回路 FP_i に救済アドレス（救済解）をプログラムする場合には、マスターデータ $Master$ は、フューズプログラム回路 FP_i が有効であることを示す値（例えば、“1”）に設定される。

【0389】

アドレスデータ（6ビット） $A_0 \sim A_5$ のうちの2ビット A_4 、 A_5 は、バンクの選択に使用される。即ち、アドレスデータ A_4 、 A_5 により、4つのバンクのうちの1つが選択され、その選択された1つのバンクに対して、救済アドレス（救済解）のプログラム、又は、フューズプログラム回路 FP_i 内の電氣的フューズ EF にプログラムされたデータの検証が実行される。

【0390】

残りの4ビット $A_0 \sim A_3$ は、選択されたバンクに対する不良アドレス（救済解）を示している。不良セルからスペアセルへの置き換えをロウ単位で行うロウ救済の場合には、アドレスデータ $A_0 \sim A_3$ は、ロウアドレスデータであり、不良セルからスペアセルへの置き換えをカラム単位で行うカラム救済の場合には、アドレスデータ $A_0 \sim A_3$ は、カラムアドレスデータである。

【0391】

この4ビットアドレスデータ $A_0 \sim A_3$ により、16ロウ／カラムのうちの1ロウ／カラム（不良アドレス）が選択される。

【0392】

③-2. フューズプログラム回路

図33のフューズプログラム回路 FP_i （ $i=0, 1, 2, 3$ ）は、図13のフューズプログラム回路 FP_i と全く同じである。従って、ここでは、フューズプログラム回路 FP_i の説明については、省略する。

【0393】

③-3. ラッチ回路及びバンクセレクト回路

③-3. -1. 全体図

図34は、ラッチ回路及びバンクセレクト回路の例を示している。

【0394】

ラッチ回路 LA_i は、不良セルが検出されたときに、その不良セルのアドレス

を、救済アドレス（救済解）としてラッチする機能を有する。

【0 3 9 5】

本例では、ラッチ回路 LA_i の数は、バンク数（フューズプログラム回路 PF_i の数）に対応して、4 つ存在する。各ラッチ回路の構成は、同じである。

【0 3 9 6】

ラッチ回路 LA_i について、ラッチ回路 LA_0 を例に説明する。

ラッチ回路 LA_0 は、マスターデータラッチ回路 $MAS TL$ 、救済アドレス（救済解）ラッチ回路 $A_0 L \sim A_3 L$ 及びバンクアドレスデータラッチ回路 $Ban L$ から構成される。

【0 3 9 7】

テストモード時、外部入力端子（アドレス端子）19には、テストの対象となるメモリセルを特定するためのアドレスデータ $A_0 \sim A_5$ が入力される。本例では、アドレスデータ $A_0 \sim A_5$ のうちの上位2ビット A_4 、 A_5 は、4 つのバンクのうちの1つを選択するためのバンクアドレスデータとなり、残りの3ビット $A_0 \sim A_3$ は、選択されたバンク内において、実際にメモリセルを選択するためのアドレスデータとして使用される。

【0 3 9 8】

そして、例えば、上述した図2のエラー検出回路（リード／ライト回路）13を用いて、そのメモリセルの良／不良がテストされ、不良の場合には、比較回路18から、検知信号（ラッチ信号） $COMPER R (= "H")$ が出力される。この検知信号 $COMPER R$ は、ラッチ回路 LA_0 内のNチャネルMOSトランジスタ N_5 のゲートに入力される。

【0 3 9 9】

この時、外部入力端子（アドレス端子）19には、テストの対象となるメモリセルを特定するためのアドレスデータ $A_0 \sim A_5$ が入力される。アドレスデータ（バンクアドレスデータ） A_4 、 A_5 は、デコード回路23に入力される。デコード回路23は、例えば、図15に示すような回路から構成される。デコード回路23は、アドレスデータ A_4 、 A_5 に基づいて、4 つのバンク0～3のうちの1つを選択する。

【0400】

例えば、バンク 0 内のメモリセルをテストした場合には、バンク 0 が選択される。この時、バンク 0 に対応するラッチ回路 L A 0 に入力されるバンク選択信号 B A 0 が “H” となり、非選択のバンク 1 ～ 3 に対応するラッチ回路 L A 1 ～ L A 3 に入力されるバンク選択信号 B A 1 ～ B A 3 が “L” となる。

【0401】

テストの対象となったメモリセルが不良の場合には、検知信号（ラッチ信号）COMPERR が “H” であるため、バンク選択信号 B A 0 は、バンクアドレスデータラッチ回路 B a n L 内のラッチ回路 L A T C H ・ B A 0 L に入力され、その不良となったメモリセルのアドレスデータは、救済アドレスとして、救済アドレスデータラッチ回路 A 0 L ～ A 3 L 内のラッチ回路 L A T C H ・ A 0 L ～ L A T C H ・ A 3 L に入力される。

【0402】

マスターデータ M a s t e r (V e x t) は、例えば、常に、“H (=電源電位 V d d)” に設定されている。従って、検知信号（ラッチ信号）COMPERR が “H” になるときは、マスターデータラッチ回路 M A S T L 内のラッチ回路 L A T C H ・ M A S T L には、マスターデータ M a s t e r (V e x t) = “H” が入力される。

【0403】

ラッチ回路 L A T C H ・ B A 0 L の出力信号（バンク選択信号）B A L 0 は、バンクセレクト回路 B S 0 内のセクタ B S ・ M A S T L, B S ・ A n L に入力され、これらセクタ B S ・ M A S T L, B S ・ A n L の状態を制御する。

【0404】

テストモードベリファイ信号 T M V E R I F Y は、マスターデータラッチ回路 M A S T L 内のラッチ回路 L A T C H ・ M A S T L 及び救済アドレスデータラッチ回路 A 0 L ～ A 3 L 内のラッチ回路 L A T C H ・ A 0 L ～ L A T C H ・ A 3 L に入力され、これらラッチ回路の状態を制御する。

【0405】

図 3 4 のラッチ回路の動作波形例については、例えば、例 1 に関わる図 1 6 の

動作波形例と同じになる。なお、動作波形例の説明については、ここでは、省略する。

【0406】

③-3. -2. バンクアドレスデータラッチ回路 B a n L

図35は、バンクアドレスデータラッチ回路 B a n L 内のラッチ回路 L A T C H ・ B A 0 L の例を示している。

【0407】

ラッチ回路 L A T C H ・ B A 0 L は、インバータ I 43 ~ I 45, I 56、クロックドインバータ C I 5、ナンドゲート回路 N A N D 24、PチャネルMOSトランジスタ P 8 及び NチャネルMOSトランジスタ N 10 から構成される。

【0408】

NチャネルMOSトランジスタ N 10 は、電源投入後の初期化動作に用いるものである。本例では、b C R D Y が “H” になることにより、データラッチ部の入力ノード L A I N 1 が “L” に初期化される。

【0409】

テストモード時のラッチサイクルにおいて、例えば、検知信号（ラッチ信号）C O M P E R R の値が “H” のときは、PチャネルMOSトランジスタ P 8 は、オン状態となる。このため、バンク選択信号 B A 0 は、PチャネルMOSトランジスタ P 8 を経由して、データラッチ部の入力ノード L A I N 1 に転送される。

【0410】

また、検知信号（ラッチ信号）C O M P E R R の値が “L” のときは、PチャネルMOSトランジスタ P 8 は、オフ状態となる。このため、バンク選択信号 B A 0 は、データラッチ部の入力ノード L A I N 1 に転送されない。

【0411】

本例では、実際にデータをラッチするラッチ部は、インバータ I 44 及びクロックドインバータ C I 5 から構成される。

【0412】

検知信号（ラッチ信号）C O M P E R R の値が “H” のとき、クロックドインバータ C I 5 は、動作状態となり、ラッチ部は、バンク選択信号 B A 0 をラッチ

できる状態となる。検知信号（ラッチ信号）COMPERRの値が“L”のときは、クロックドインバータCI5は、非動作状態となる。

【0413】

バンク0が選択されている場合には、バンク選択信号BA0は、“H”となるため、ラッチ部には、“H”がラッチされる。また、バンク0が選択されていない場合には、バンク選択信号BA0は、“L”となるため、ラッチ部には、“L”がラッチされる。

【0414】

ラッチ部にラッチされたバンク選択信号BA0は、クロック信号PCLKに同期して、バンク選択信号BAL0として、ラッチ回路LATCH・BALから出力される。

【0415】

③-3. -3. マスターデータラッチ回路MASTL及びバンクセレクト回路BS・MASTL

図36は、マスターデータラッチ回路MASTL内のラッチ回路LATCH・MASTLの例、及び、バンクセレクト回路BS・MASTLの例を示している。

【0416】

ラッチ回路LATCH・MASTLは、インバータI47～I50、クロックドインバータCI6、ナンドゲート回路NAND26～NAND27、PチャネルMOSトランジスタP9及びNチャネルMOSトランジスタN11から構成される。

【0417】

NチャネルMOSトランジスタN11は、電源投入後の初期化動作に用いるものである。本例では、bCRDYが“H”になることにより、データラッチ部の入力ノードLAIN2が“L”に初期化される。

【0418】

バンク0が選択されている場合、図35のバンクアドレスデータラッチ回路LATCH・BALから出力されるバンク選択信号BAL0（＝“H”）は、ク

ロック信号 PCLK に同期して出力される。また、バンク 0 内のテストの対象となったメモリセルが不良である場合には、検知信号（ラッチ信号）COMPERR は、“H” である。

【0419】

従って、P チャネル MOS トランジスタ P9 は、オン状態となる。このため、マスターデータ（＝“H”）MASTL は、P チャネル MOS トランジスタ P9 を経由して、データラッチ部の入力ノード LAIN2 に転送される。

【0420】

また、検知信号（ラッチ信号）COMPERR の値が“L”のときは、P チャネル MOS トランジスタ P9 は、オフ状態となる。このため、マスターデータ（＝“H”）MASTL は、データラッチ部の入力ノード LAIN2 に転送されない。

【0421】

ラッチ部は、インバータ I48 及びクロックドインバータ CI6 から構成される。検知信号（ラッチ信号）COMPERR の値が“H”のとき、クロックドインバータ CI6 は、動作状態となり、ラッチ部は、マスターデータ（＝“H”）MASTL をラッチする。検知信号（ラッチ信号）COMPERR の値が“L”のときは、クロックドインバータ CI6 は、非動作状態となる。

【0422】

ラッチ部にラッチされたマスターデータ（＝“H”）MASTL は、クロック信号 PCLK に同期して、マスターデータ LMASTA として、ラッチ回路 LATCH・MASTL から出力される。

【0423】

テストモードベリファイ信号 TMVERIFY が“H”のときは、ラッチ回路 LATCH・MASTL の出力データ LMASTA は、“H”に固定される。

【0424】

バンクセレクト回路 BS・MASTL は、ナンドゲート回路 NAND30 及びインバータ I57 から構成される。

【0425】

バンク選択信号BAL0が“H”のときは、バンクセレクト回路BS・MASTLは、ラッチ回路LATCH・MASTLの出力データLMASTAを、出力データLMASTとして出力する。

【0426】

バンク選択信号BAL0が“L”のときは、バンクセレクト回路BS・MASTLの出力データLMASTは、ラッチ回路LATCH・MASTLの出力データLMASTAの値にかかわらず、“L”に固定される。

【0427】

③-3. -4. 救済アドレスデータラッチ回路AnL及びバンクセレクト回路BS・AnL

図37は、救済アドレスデータラッチ回路AnL内のラッチ回路LATCH・AnLの例、及び、バンクセレクト回路BS・AnLの例を示している。

【0428】

ラッチ回路LATCH・AnLは、インバータI51～I54、クロックドインバータCI7、ナンドゲート回路NAND28～NAND29、PチャネルMOSトランジスタP10及びNチャネルMOSトランジスタN12から構成される。

【0429】

NチャネルMOSトランジスタN12は、電源投入後の初期化動作に用いるものである。本例では、bCRDYが“H”になることにより、データラッチ部の入力ノードLA IN3が“L”に初期化される。

【0430】

バンク0が選択されている場合、図35のバンクアドレスデータラッチ回路LATCH・BA0Lから出力されるバンク選択信号BAL0(=“H”)は、クロック信号PCLKに同期して出力される。また、バンク0内のテストの対象となったメモリセルが不良である場合には、検知信号(ラッチ信号)COMPE RRは、“H”である。

【0431】

従って、PチャネルMOSトランジスタP10は、オン状態となる。このため

、救済アドレスデータ A_{nL} は、PチャネルMOSトランジスタ $P10$ を経由して、データラッチ部の入力ノード $LAIN3$ に転送される。

【0432】

また、検知信号（ラッチ信号） $COMPERR$ の値が“L”のときは、PチャネルMOSトランジスタ $P10$ は、オフ状態となる。このため、救済アドレスデータ A_{nL} は、データラッチ部の入力ノード $LAIN3$ に転送されない。

【0433】

ラッチ部は、インバータ $I52$ 及びクロックドインバータ $CI7$ から構成される。検知信号（ラッチ信号） $COMPERR$ の値が“H”のとき、クロックドインバータ $CI7$ は、動作状態となり、ラッチ部は、救済アドレスデータ A_{nL} をラッチする。検知信号（ラッチ信号） $COMPERR$ の値が“L”のときは、クロックドインバータ $CI7$ は、非動作状態となる。

【0434】

ラッチ部にラッチされた救済アドレスデータ A_{nL} は、クロック信号 $PCLK$ に同期して、救済アドレスデータ $LADD_{nA}$ として、ラッチ回路 $LATCH \cdot A_{nL}$ から出力される。

【0435】

テストモードベリファイ信号 $TMVERIFY$ が“H”のときは、ラッチ回路 $LATCH \cdot A_{nL}$ の出力データ $LADD_{nA}$ は、“H”に固定される。

【0436】

バンクセレクト回路 $BS \cdot A_{nL}$ は、ナンドゲート回路 $NAND31$ 及びインバータ $I58$ から構成される。

【0437】

バンク選択信号 $BAL0$ が“H”のときは、バンクセレクト回路 $BS \cdot A_{nL}$ は、ラッチ回路 $LATCH \cdot A_{nL}$ の出力データ $LADD_{nA}$ を、出力データ $LADD_n$ として出力する。

【0438】

バンク選択信号 $BAL0$ が“L”のときは、バンクセレクト回路 $BS \cdot A_{nL}$ の出力データ $LADD_n$ は、ラッチ回路 $LATCH \cdot A_{nL}$ の出力データ LAD

DnAの値にかかわらず、“L”に固定される。

【0439】

③-3.-5. 動作

図35乃至図37のラッチ回路の動作は、例1と同様に、例えば、図21に示すようになる。但し、バンク選択信号BAL0は、“H”とし、テストモードベリファイ信号TMVERIFYは、“L”とする。

【0440】

③-4. スイッチ回路

図22及び図23は、スイッチ回路の例を示している。

図33のスイッチ回路SWとしては、図13のスイッチ回路SWの例（図22及び図23）をそのまま使用することができる。従って、ここでは、スイッチ回路SWの説明については、省略する。

【0441】

③-5. カウンタ

③-5.-1. 概要

カウンタは、例1と同様に、マスターデータLMAST及び救済アドレスデータLADDnを、1ビットずつ、フューズプログラム回路Fpi内の電氣的フューズEFにプログラムするための制御信号EFMAST, EFADDnを生成する。

【0442】

③-5.-2. 全体図

図38は、カウンタの例を示している。

本例では、カウンタCi（i=0, 1, 2, 3）は、TYPE-A回路及びTYPE-B回路を有するシフトレジスタである。

【0443】

制御信号CLK, bCLK, CRDY, bCRDYは、TYPE-A回路及びTYPE-B回路にそれぞれ入力され、各回路の動作を制御する。

【0444】

制御信号CRDYは、例えば、図39に示すように、テストモードベリファイ

信号 `TMVERIFY` から生成してもよい。この場合、テストモードベリファイ信号 `TMVERIFY` が “H” になってから一定期間後に、制御信号 `CRDY` が “L” になる。制御信号 `CRDY` が “L” になると、カウンタ `Ci` が初期化される。図 40 に示すように、制御信号 `bCRDY` は、制御信号 `CRDY` の反転信号である。

【0445】

③-5. -3. TYPE-A回路

図 41 は、TYPE-A回路の例を示している。

TYPE-A回路は、インバータ `I34` ~ `I37`、クロックドインバータ `CI4`、ナンドゲート回路 `NAND22`、PチャネルMOSトランジスタ `P7` 及びスイッチ（トランスファゲート）`SW1`、`SW2` から構成される。

【0446】

シフトレジスタのイニシャライズサイクルでは、制御信号 `CRDY` が “L” になり、TYPE-A回路内のラッチ部の入力ノード `node A` の電位が “H” に設定される。また、制御信号 `CRDY` が “L” のとき、クロックドインバータ `CI4` が動作状態になるため、インバータ `I34` 及びクロックドインバータ `CI4` からなるラッチ部には、“H” がラッチされる。

【0447】

制御信号（クロック信号）`CLK` が “L” のとき、スイッチ `SW2` は、オン状態であり、インバータ `I35`、`I36` からなるラッチ部にも、“H” がラッチされる。ノード `node A` の電位と `FOUT` の電位が、互いに等しくなる（`FOUT` = “H”）。

【0448】

この後、制御信号 `CRDY` は、“H” になる。

ベリファイサイクルでは、TYPE-A回路の動作は、クロック信号 `CLK` に制御される。

【0449】

即ち、クロック信号 `CLK` が “H” になると、スイッチ `SW1` がオン状態となり、インバータ `I34` 及びクロックドインバータ `CI4` からなるラッチ部に “L”

”がラッチされる（ $\text{node A} = \text{“L”}$ ）。また、出力信号 FOUT は、“H”であるため、ナンドゲート回路 NAND 22 の 2 つの入力信号は、共に、“H”となる。その結果、制御信号 EFMAST は、“H”となる。

【0450】

制御信号 EFMAST が “H” になると、スイッチ回路（図 22）は、マスターデータ LMAST を転送できる状態となる。

【0451】

この後、クロック信号 CLK が “L” になると、再び、スイッチ SW1 がオフ状態、スイッチ SW2 がオン状態となり、インバータ I35 、 I36 からなるラッチ部にも、“L” がラッチされる。ノード node A の電位と FOUT の電位が、互いに等しくなる（ $\text{FOUT} = \text{“L”}$ ）。

【0452】

さらに、この後、クロック信号 CLK が “H” になると、スイッチ SW1 がオン状態となり、インバータ I34 及びクロックドインバータ CI4 からなるラッチ部に “L” がラッチされる（ $\text{node A} = \text{“L”}$ ）。また、出力信号 FOUT は、“L” であるため、制御信号 EFMAST は、“L” となる。

【0453】

③-5. -4. TYPE-B 回路

図 42 は、TYPE-B 回路の例を示している。

TYPE-B 回路は、インバータ $\text{I38} \sim \text{I42}$ 、ナンドゲート回路 NAND 23 、Nチャネル MOS トランジスタ N9 及びスイッチ（トランスファゲート） SW3 、 SW4 から構成される。

【0454】

シフトレジスタのイニシャライズサイクルでは、制御信号 CRDY が “L”、制御信号 bCRDY が “H” になり、TYPE-B 回路内のラッチ部の入力ノード node B の電位が “L” に設定される。即ち、インバータ I38 、 I39 からなるラッチ部には、“L” がラッチされる。

【0455】

制御信号（クロック信号） CLK が “L” のとき、スイッチ SW4 は、オン状

態であり、インバータ I 40, I 41 からなるラッチ部にも、“L” がラッチされる。ノード node B の電位と FOUT_m の電位が、互いに等しくなる (FOUT_m = “L”)。

【0456】

この後、制御信号 bCRDY は、“L” になる。

ベリファイサイクルでは、TYPE-B 回路の動作は、クロック信号 CLK に制御される。

【0457】

即ち、クロック信号 CLK が “H” になると、スイッチ SW3 がオン状態となり、インバータ I 38, I 39 からなるラッチ部に、入力データ FIN_m がラッチされる (node B = FIN_m)。

【0458】

入力データ FIN_m は、前段のユニットの出力信号である。前段のユニットが TYPE-A 回路である場合には、入力データ FIN_m は、TYPE-A 回路の出力データ FOUT となる。また、前段のユニットが TYPE-B 回路である場合には、入力データ FIN_m は、前段の TYPE-B 回路の出力データ FOUT_{m-1} となる。

【0459】

出力信号 FOUT_m は、当初は、“L” であるため、ナンドゲート回路 NAND22 の出力データは、“H” となる。その結果、制御信号 EFADD_m は、“L” となる。

【0460】

この後、クロック信号 CLK が “L” になると、再び、スイッチ SW3 がオフ状態、スイッチ SW4 がオン状態となり、インバータ I 40, I 41 からなるラッチ部にも、入力データ FIN_m、即ち、前段のユニットの出力信号がラッチされる。ノード node B の電位と FOUT_m の電位が、互いに等しくなる。

【0461】

さらに、この後、クロック信号 CLK が “H” になると、本サイクルの前のサイクルでインバータ I 38, I 39 からなるラッチ部にラッチされた入力データ

F I N_mが“H”であるときには、現在のF O U T_mの状態が“H”であるため、制御信号E F A D D_mは、“H”となる。

【0 4 6 2】

制御信号E F A D D_mが“H”になると、スイッチ回路（図 2 3）は、救済アドレスデータ（1 ビット）L A D D_mを転送できる状態となる。

【0 4 6 3】

本サイクルの前のサイクルでインバータ I 3 8、I 3 9からなるラッチ部にラッチされた入力データ F I N_mが“L”であるときには、現在のF O U T_mの状態が“L”であるため、制御信号E F A D D_mは、“L”となる。

【0 4 6 4】

制御信号E F A D D_mが、一度、“H”になった場合には、そのサイクル以降のサイクルでは、制御信号E F A D D_mは、常に、“L”となる。

【0 4 6 5】

③- 5. - 5. 動作

図 4 3 は、図 3 8 乃至図 4 2 のカウンタの動作波形例を示している。

ベリファイ動作では、図 3 3 の電氣的フューズ E F の一端に共通に接続される V B P ノードには、高電位 V B P に代えて、例えば、電源電位 V d d を与える。ベリファイモードでは、まず、テストモードベリファイ信号 T M V E R I F Y が“H”になる。

【0 4 6 6】

この時、例えば、図 3 6 に示すマスターデータラッチ回路 L A T C H ・ M A S T L の出力データ L M A S T A 及び図 3 7 に示す救済アドレスデータラッチ回路 L A T C H ・ A n L の出力データ L A D D n A は、強制的に、“H”となる。また、図 3 3 のモニタ回路 M 内のトランスファゲート T G がオン状態となり、モニタ 2 2 がフューズプログラム回路 F P i 内のトランジスタ T r 2 の一端に電氣的に接続される。

【0 4 6 7】

また、制御信号 C R D Y が“L”になり、図 3 8 乃至図 4 2 のカウンタ（シフトレジスタ）C i がイニシャライズされる。この後、制御信号 C R D Y は、“H

”になる。

【0468】

ベリファイサイクルでは、まず、バンクアドレスデータA4, A5が、 \neg RAS信号の立下りエッジに同期して、チップ内に入力される。

【0469】

選択されたバンクにおいては、バンク選択信号BAL0が“H”になるため、図36のバンクセレクト回路BS・MASTLは、ラッチ回路LATCH・MASTLの出力データLMASTAを転送できる状態になる。また、図37のバンクセレクト回路BS・AnLは、ラッチ回路LATCH・AnLの出力データLADDnAを転送できる状態になる。

【0470】

非選択のバンクにおいては、バンク選択信号BAL0が“L”になるため、図36のバンクセレクト回路BS・MASTLの出力データLMAST及び図37のバンクセレクト回路BS・AnLの出力データLADDnは、“L”に固定される。

【0471】

この後、クロック信号CLKに同期して、カウンタCiの出力データEFMAST, EFADD0, EFADD1, EFADD2, EFADD3が、順次、“H”になる。

【0472】

選択されたバンクに関わるバンクセレクト回路BS0, BS1, BS2, BS3の出力データLMAST, LADD0~LADD3は、全て、“H”であるため、カウンタCiの出力データEFMAST, EFADD0, EFADD1, EFADD2, EFADD3が、順次、“H”になることにより、選択されたバンクに関わるフューズプログラム回路FPi内の電氣的フューズEFの状態を、モニタ回路Mによりモニタすることができる。

【0473】

例えば、カウンタCiの出力データEFADD0が“H”のとき、救済アドレスデータFADD0に関わる電氣的フューズEFの他端は、モニタ回路Mに電気

的に接続される。この場合、電氣的フューズEFが破壊されていれば（“1”状態）、VBPノードからモニタ回路Mに向かって電流が流れ、電氣的フューズEFが破壊されていなければ（“0”状態）、VBPノードからモニタ回路Mに向かって電流が流れることはない。

【0474】

従って、例えば、モニタ回路Mにより、この電流の有無を検出することにより、救済アドレスデータFADD0に関わる電氣的フューズEFの状態を確認することができる。

【0475】

セルフフューズプログラム（自己救済）の場合、本来は、期待値（プログラムされるべき値）が存在しないので、フューズプログラムデータのベリファイを実行する必要がない。

【0476】

しかし、このような状況下でも、回路動作の確認のために、セルフフューズプログラムではなく、故意に、ライトデータをプログラムする場合には、ベリファイが必要となる。つまり、モニタ回路Miにより確認されたデータとテストに記憶された救済アドレスデータとを比較することにより、正確に、救済アドレスデータがフューズプログラム回路F Piにプログラミングされたか否かを検証（ベリファイ）できる。

【0477】

④ モニタ回路

本例では、図33に示すように、モニタ回路Mは、4つのバンクに対応する4つのフューズプログラム回路F Piに共通に接続される。モニタ回路M自体の構成は、例1に関わるモニタ回路Mi（図13）の構成と同じであるため、その説明については、省略する。

【0478】

⑤ 効果

本発明の例2においても、例1と同様に、チップ内に、メモリセルの不良を検出するエラー検出回路と、その不良のメモリセルのアドレスを救済アドレスとし

て、自動的に、フューズプログラム回路にプログラムするセルフフューズプログラム回路とを新規に設けている。

【0 4 7 9】

このため、特に、組み立て工程後に発生するメモリセルの不良を、FAMを搭載した高価なテストを用いずに救済することができる。

【0 4 8 0】

【発明の効果】

以上、説明したように、本発明の例によれば、組み立て工程後に発生するメモリセルの不良を、FAMを搭載した高価なテストを用いずに救済することができる。また、救済解の作成及びフューズプログラムは、全てのチップにおいて同じ動作で実行されるため、1つのテストで複数のチップに対して同時に不良セルの救済を行うことができる。

【図面の簡単な説明】

【図 1】

本発明の例 1 に関わる半導体メモリの主要部を示すブロック図。

【図 2】

エラー検出回路の例を示すブロック図。

【図 3】

入力回路の例を示す回路図。

【図 4】

図 3 の入力回路の動作を示す波形図。

【図 5】

出力回路の例を示す回路図。

【図 6】

図 5 の出力回路の動作を示す波形図。

【図 7】

擬似リード制御回路（ライト側）の例を示す回路図。

【図 8】

擬似リード制御回路（リード側）の例を示す回路図。

【図 9】

図 7 及び図 8 の擬似リード制御回路の動作を示す波形図。

【図 1 0】

比較回路の例を示す回路図。

【図 1 1】

比較回路の例を示す回路図。

【図 1 2】

図 2 のエラー検出回路の動作を示す波形図。

【図 1 3】

セルフフューズプログラム回路の例を示す回路図。

【図 1 4】

ラッチ回路の例を示す回路図。

【図 1 5】

デコード回路の例を示す回路図。

【図 1 6】

図 1 4 のラッチ回路の動作を示す波形図。

【図 1 7】

バンクアドレスデータラッチ回路の例を示す回路図。

【図 1 8】

マスターデータラッチ回路の例を示す回路図。

【図 1 9】

救済アドレスデータラッチ回路の例を示す回路図。

【図 2 0】

P C L K 生成回路の例を示す回路図。

【図 2 1】

図 1 7 乃至図 1 9 のラッチ回路の動作を示す波形図。

【図 2 2】

スイッチ回路の例を示す回路図。

【図 2 3】

スイッチ回路の例を示す回路図。

【図 2 4】

カウンタの例を示す回路図。

【図 2 5】

b C R D Y / b P C L K 生成回路の例を示す回路図。

【図 2 6】

カウンタの構成要素 T Y P E - A の例を示す回路図。

【図 2 7】

カウンタの構成要素 T Y P E - B の例を示す回路図。

【図 2 8】

図 2 4 乃至図 2 7 のカウンタの動作を示す波形図。

【図 2 9】

バンクアドレスデータラッチ回路の変形例を示す回路図。

【図 3 0】

マスターデータラッチ回路の変形例を示す回路図。

【図 3 1】

救済アドレスデータラッチ回路の変形例を示す回路図。

【図 3 2】

本発明の例 2 に関わる半導体メモリの主要部を示すブロック図。

【図 3 3】

セルフフューズプログラム回路の例を示す回路図。

【図 3 4】

ラッチ回路及びバンクセレクト回路の例を示す回路図。

【図 3 5】

バンクアドレスデータラッチ回路の例を示す回路図。

【図 3 6】

マスターデータラッチ回路及びバンクセレクト回路の例を示す回路図。

【図 3 7】

救済アドレスデータラッチ回路及びバンクセレクト回路の例を示す回路図。

【図 3 8】

カウンタの例を示す回路図。

【図 3 9】

C R D Y 生成回路の例を示す回路図。

【図 4 0】

b C R D Y 生成回路の例を示す回路図。

【図 4 1】

カウンタの構成要素 T Y P E - A の例を示す回路図。

【図 4 2】

カウンタの構成要素 T Y P E - B の例を示す回路図。

【図 4 3】

図 3 8 乃至図 4 2 のカウンタの動作を示す波形図。

【図 4 4】

本発明に関わるテストフローを示す図。

【図 4 5】

従来の半導体メモリの主要部を示すブロック図。

【図 4 6】

デコード回路の例を示す回路図。

【図 4 7】

フューズプログラム回路及びモニタ回路の例を示す回路図。

【図 4 8】

フューズプログラム時の半導体メモリの動作を示す波形図。

【図 4 9】

フューズベリファイ時の半導体メモリの動作を示す波形図。

【図 5 0】

レーザフューズ使用時のテストフローを示す図。

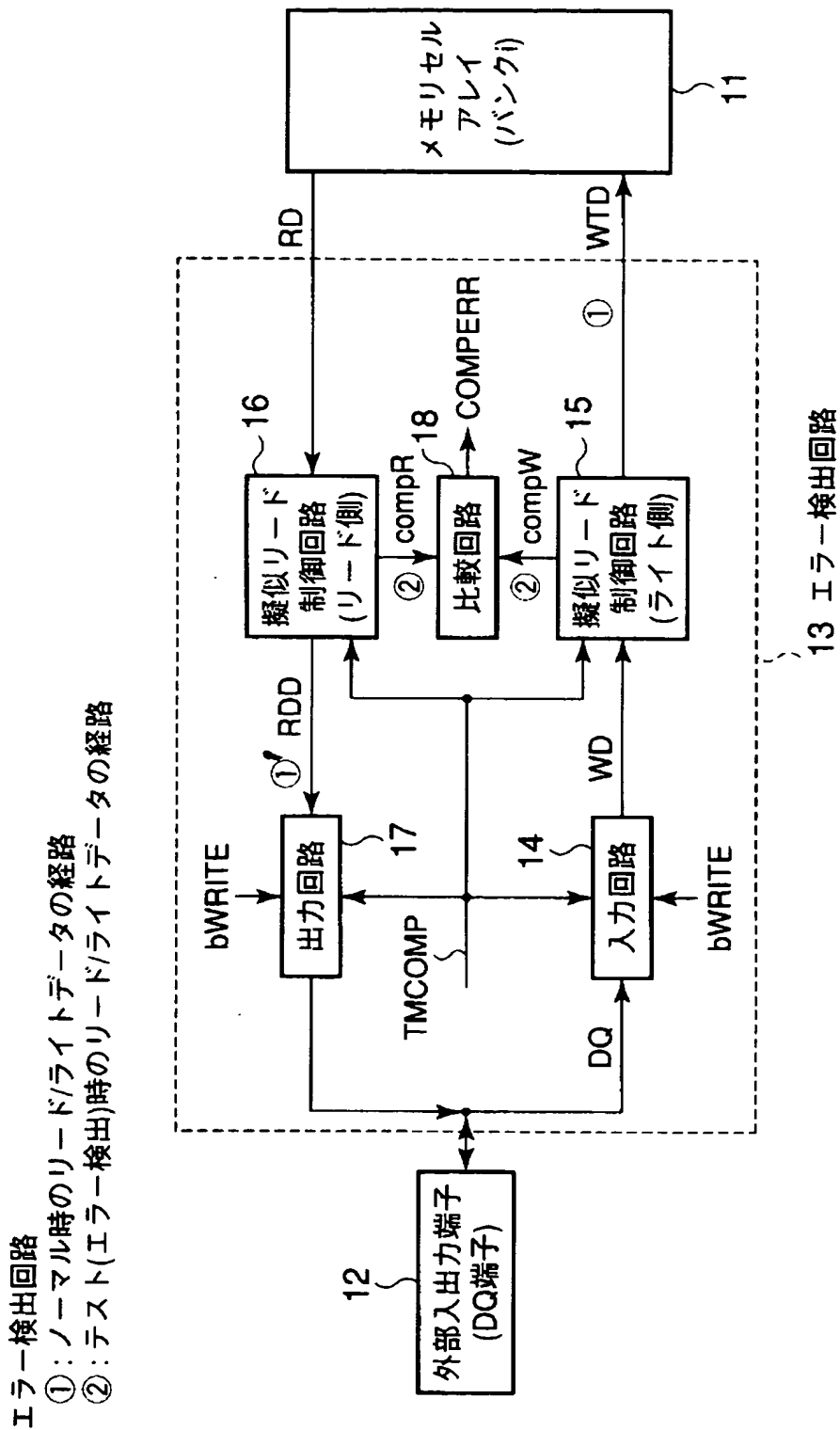
【図 5 1】

電氣的フューズ使用時のテストフローを示す図。

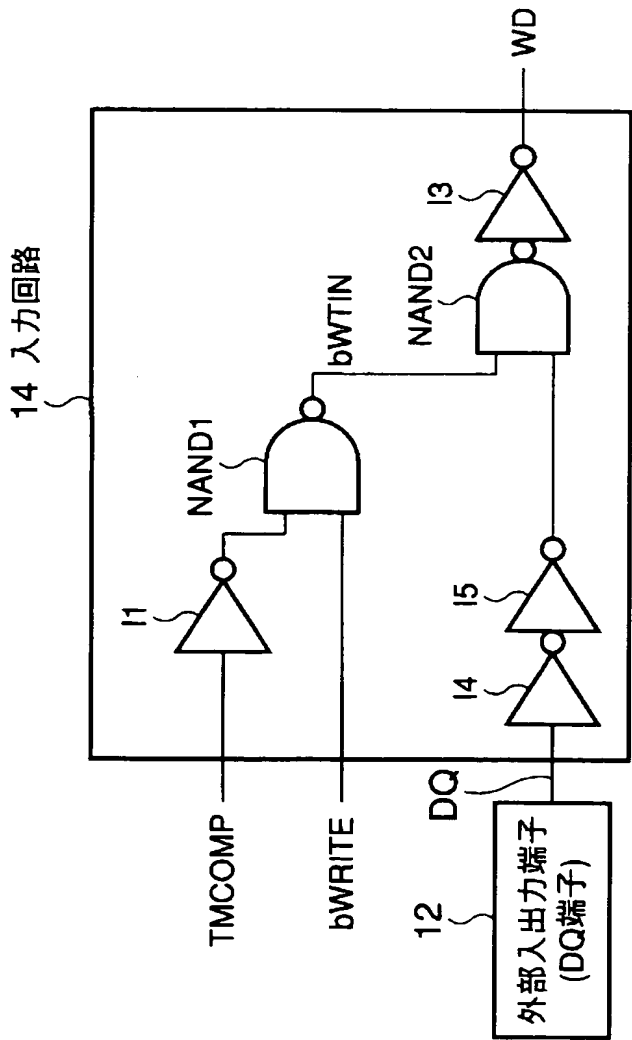
【符号の説明】

1 1	：メモリセルアレイ（バンク）、
1 2	：外部入出力端子（D Q 端子）、
1 3	：エラー検出回路、
1 4	：入力回路、
1 5, 1 6	：擬似リード制御回路、
1 7	：出力回路、
1 8	：比較回路、
1 9	：外部入力端子（アドレス端子）、
2 0	：セルフフューズプログラム回路、
2 1	：リダンダンシイ回路、
2 2	：モニタ、
2 3	：デコード回路、
L A i	：ラッチ回路、
F P i	：フューズプログラム回路、
S W	：スイッチ回路、
C i	：カウンタ、
M i	：モニタ回路、
B S i	：バンクセレクト回路、
I 1 ~ I 6 3	：インバータ、
C I 1 ~ C I 7	：クロックドインバータ、
N A N D 1 ~ N A N D 3 1	：ナンドゲート回路、
P 1 ~ P 1 0	：PチャネルMOSトランジスタ、
N 1 ~ N 1 2	：NチャネルMOSトランジスタ。

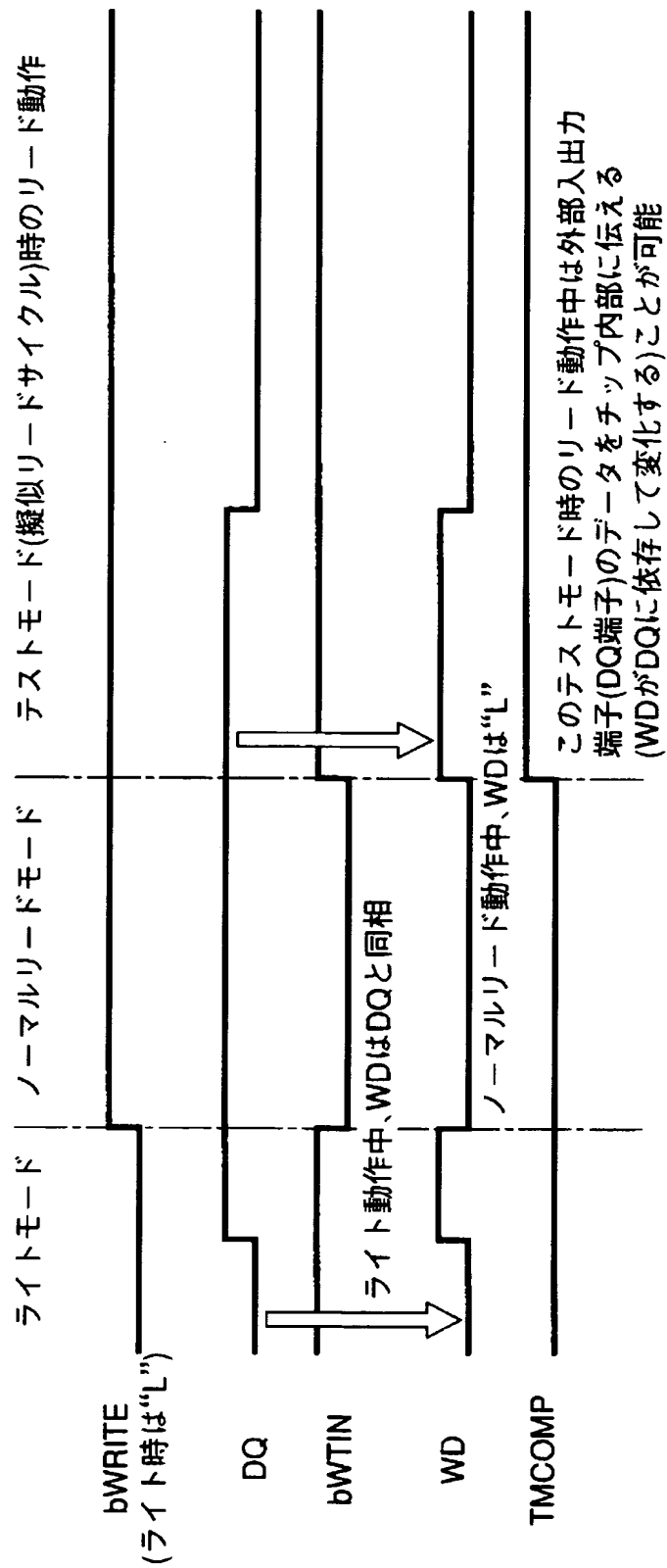
【図 2】



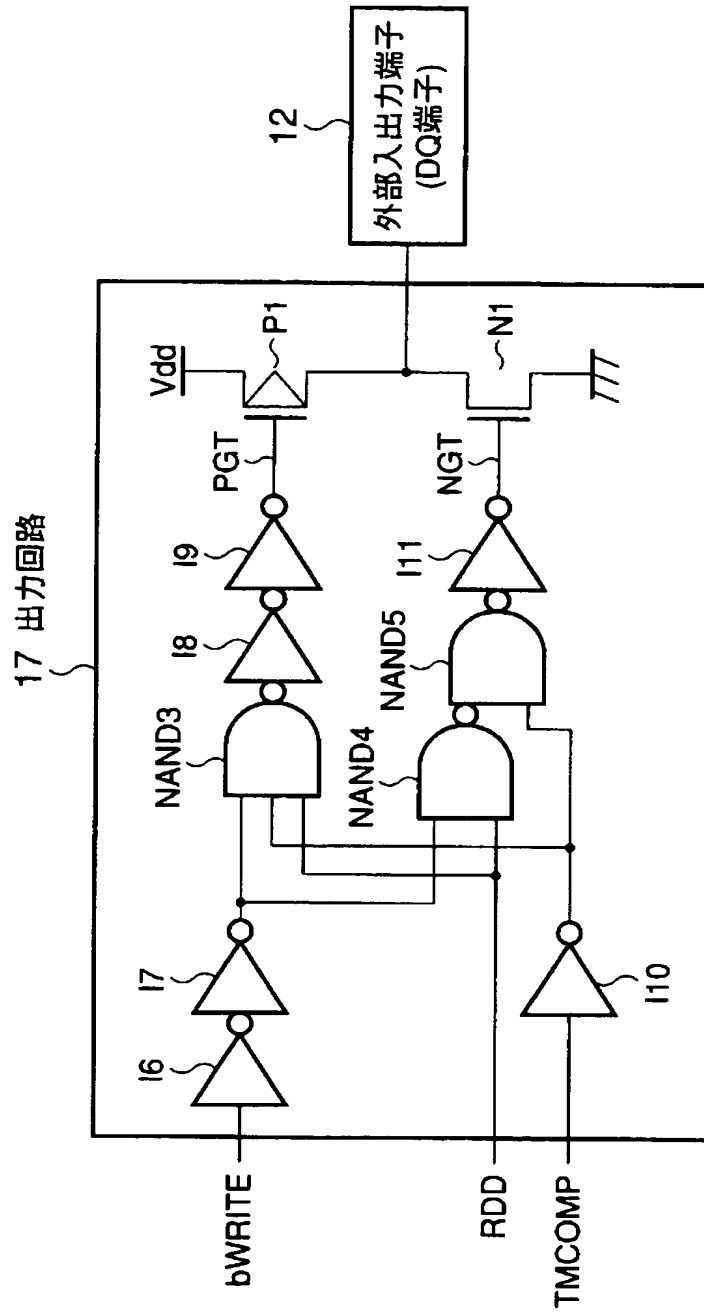
【図 3】



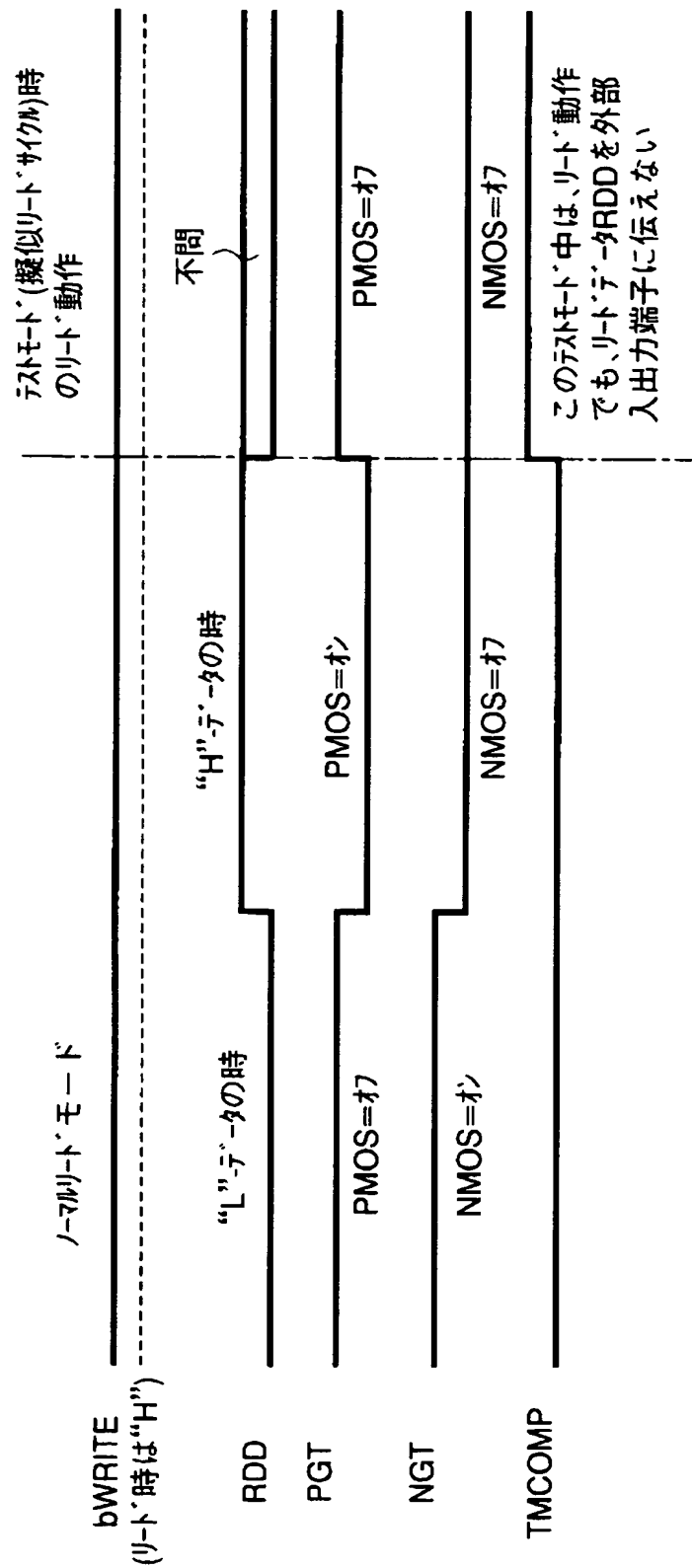
【図 4】



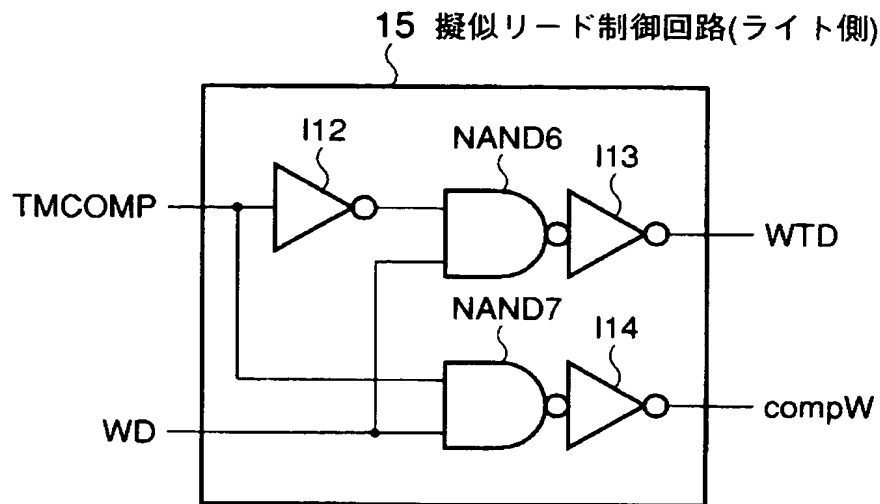
【図 5】



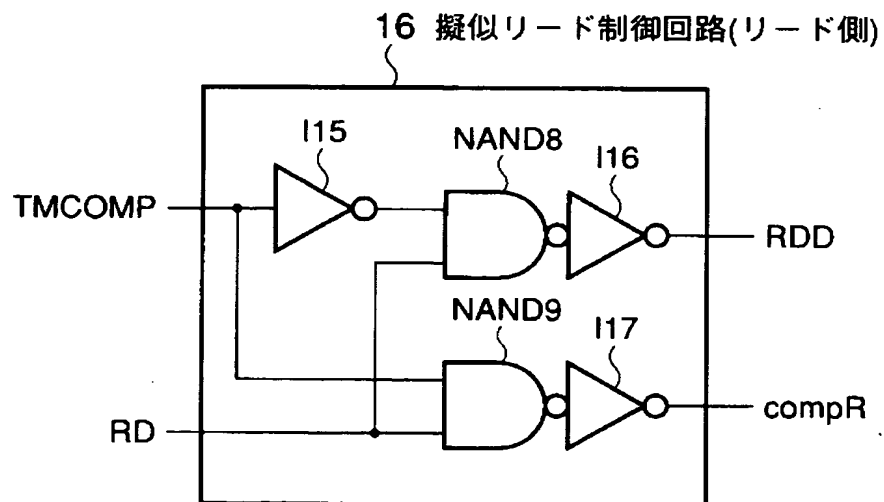
【図 6】



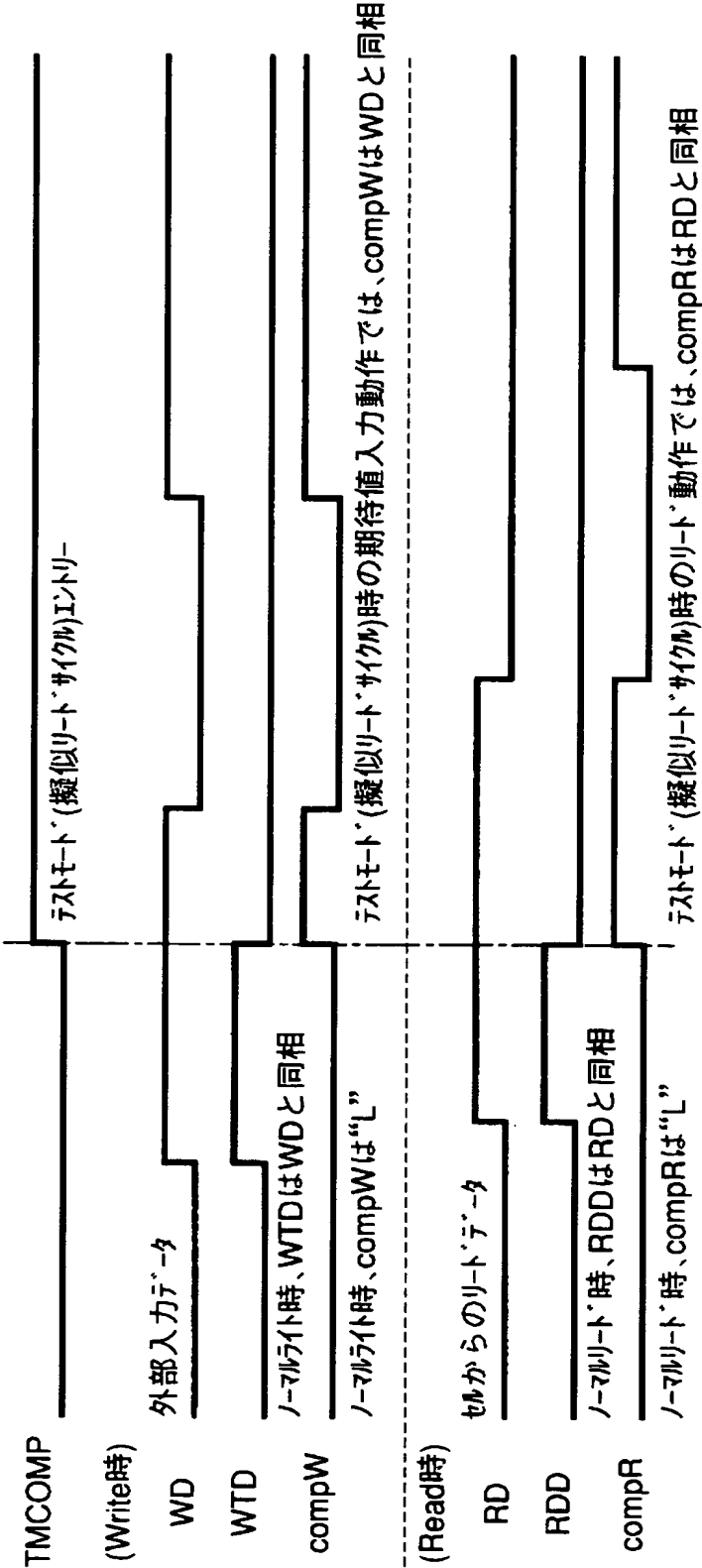
【図 7】



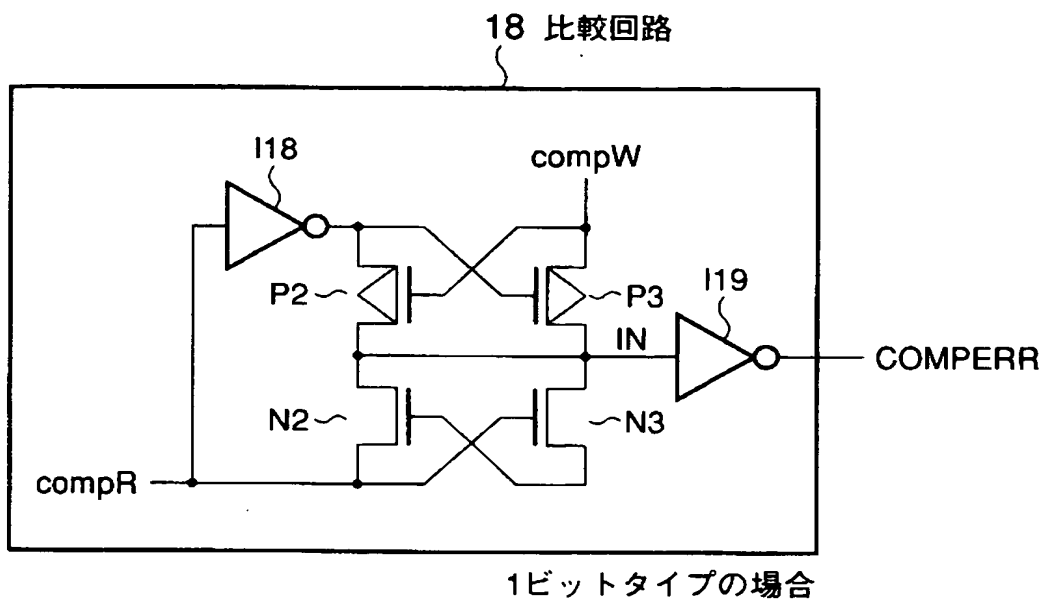
【図 8】



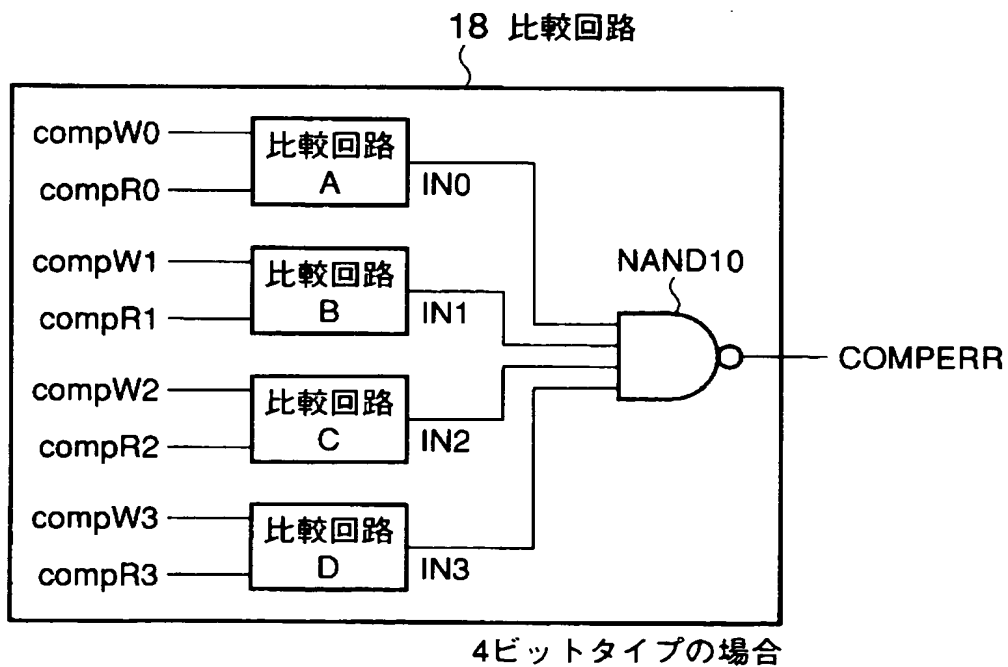
【図 9】



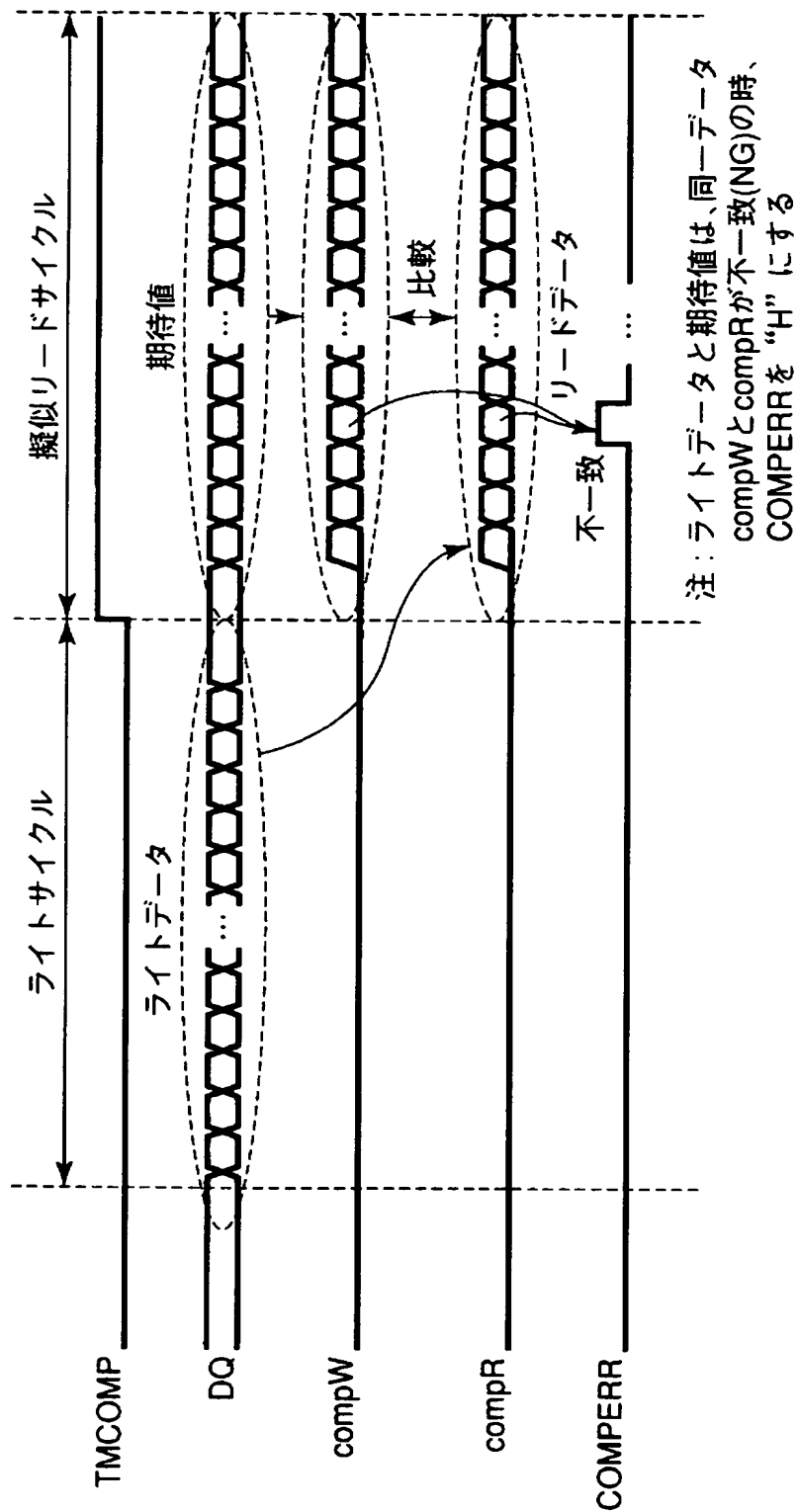
【図 10】



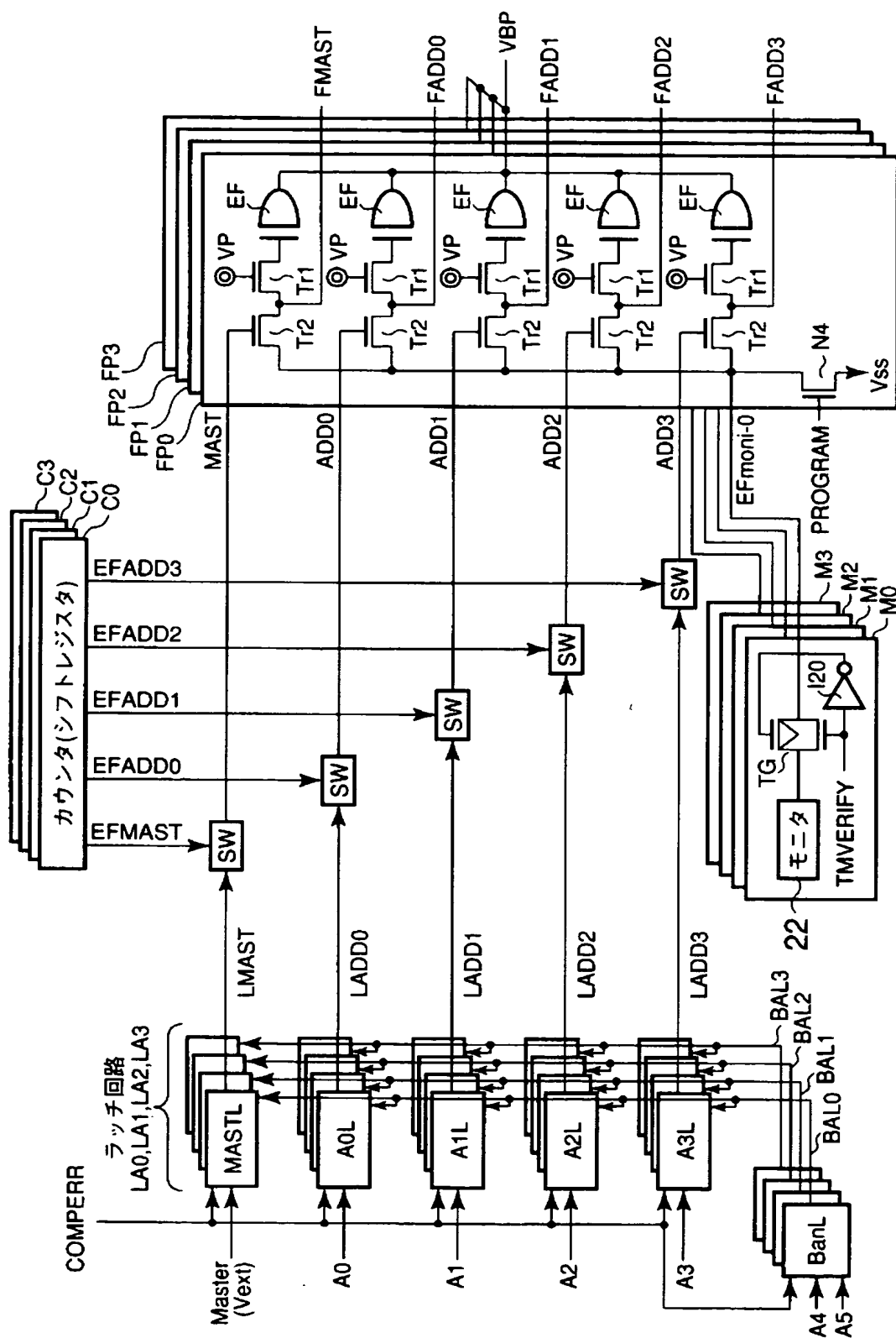
【図 11】



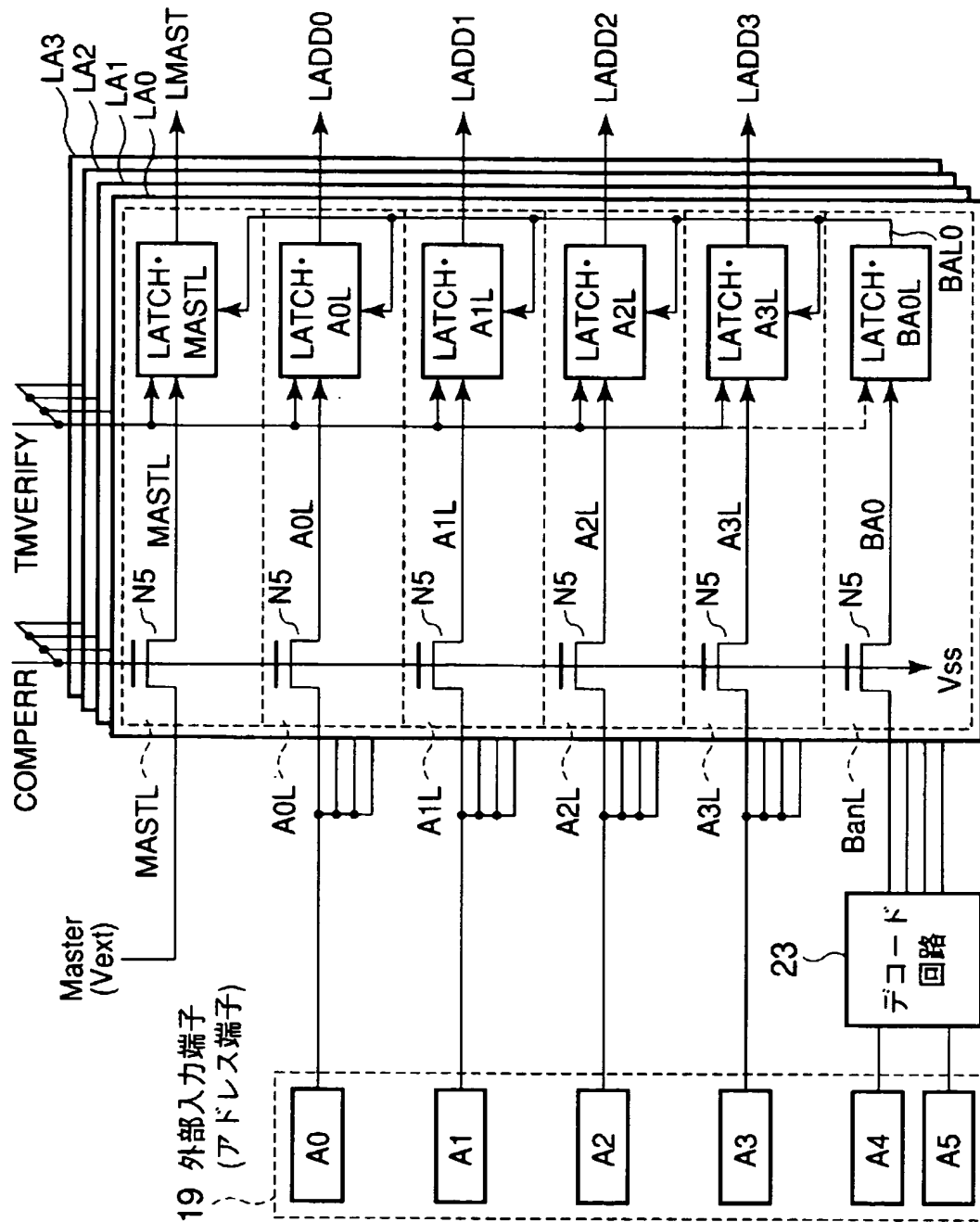
【図 12】



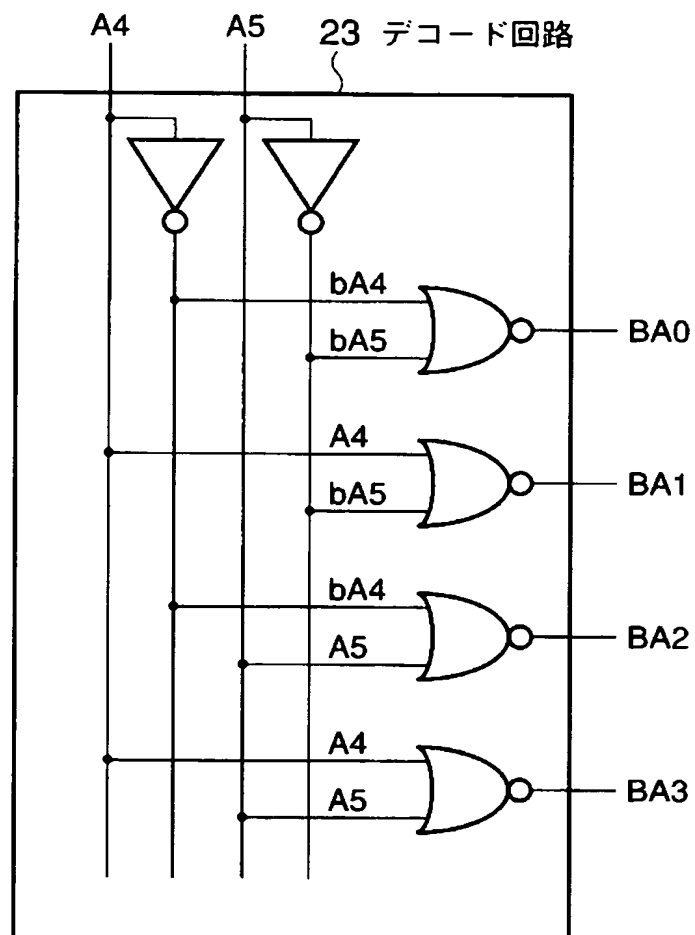
【図 13】



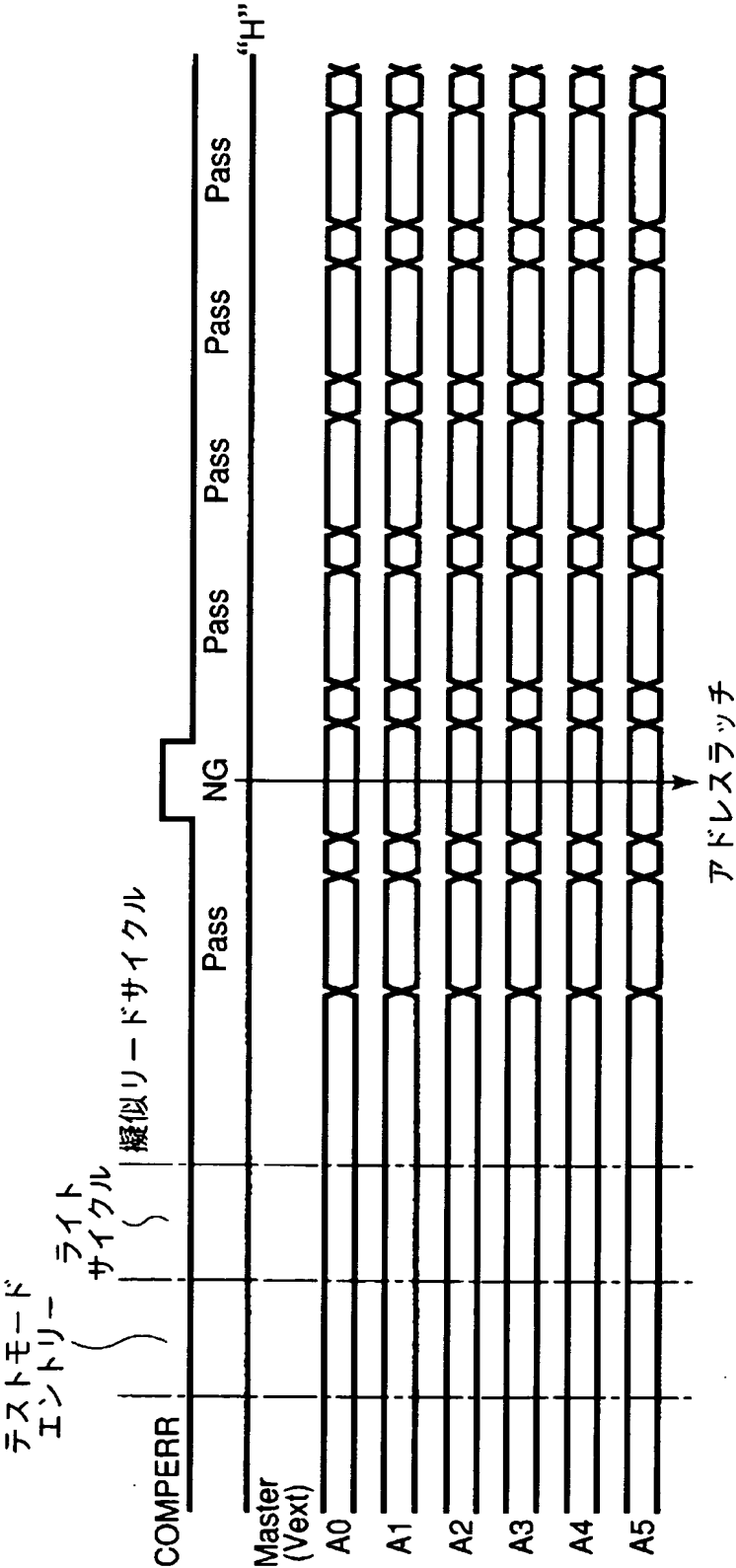
【図 14】



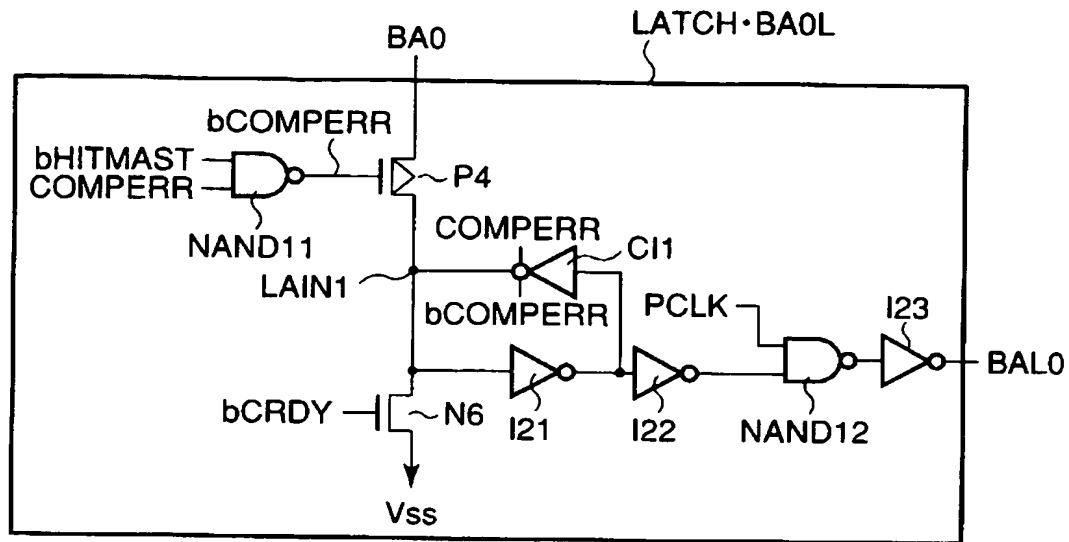
【図 15】



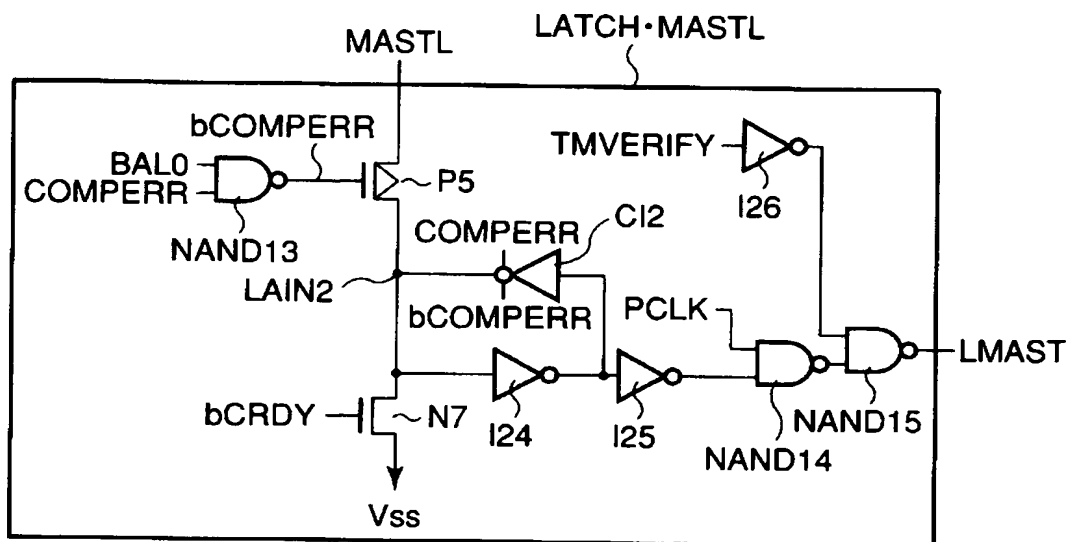
【図 1 6】



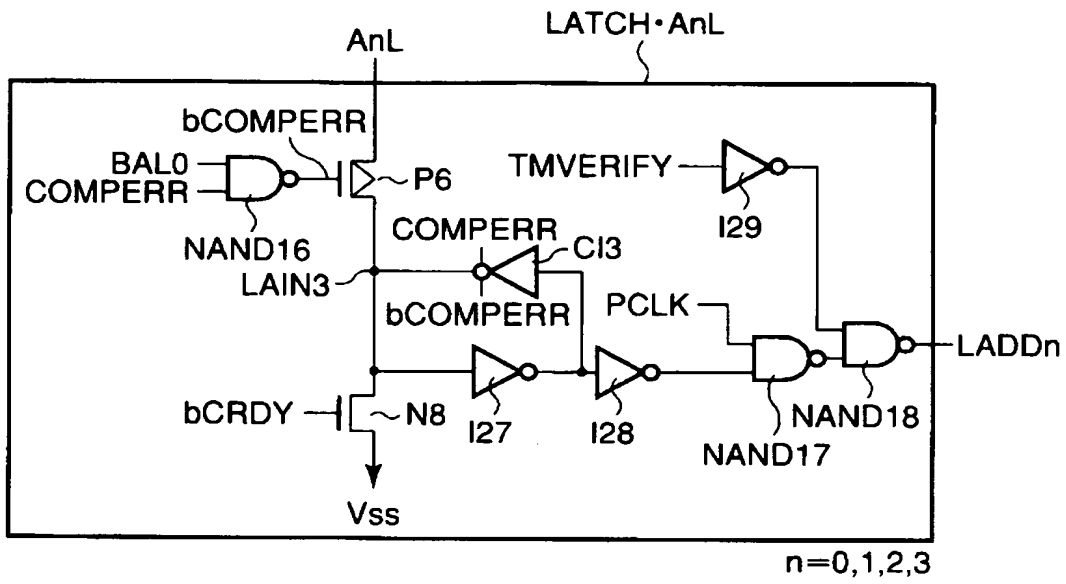
【図 17】



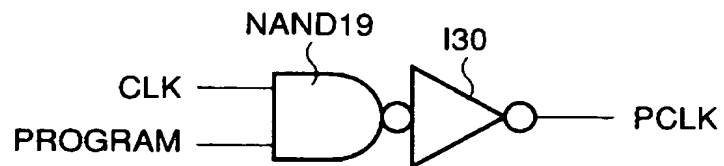
【図 18】



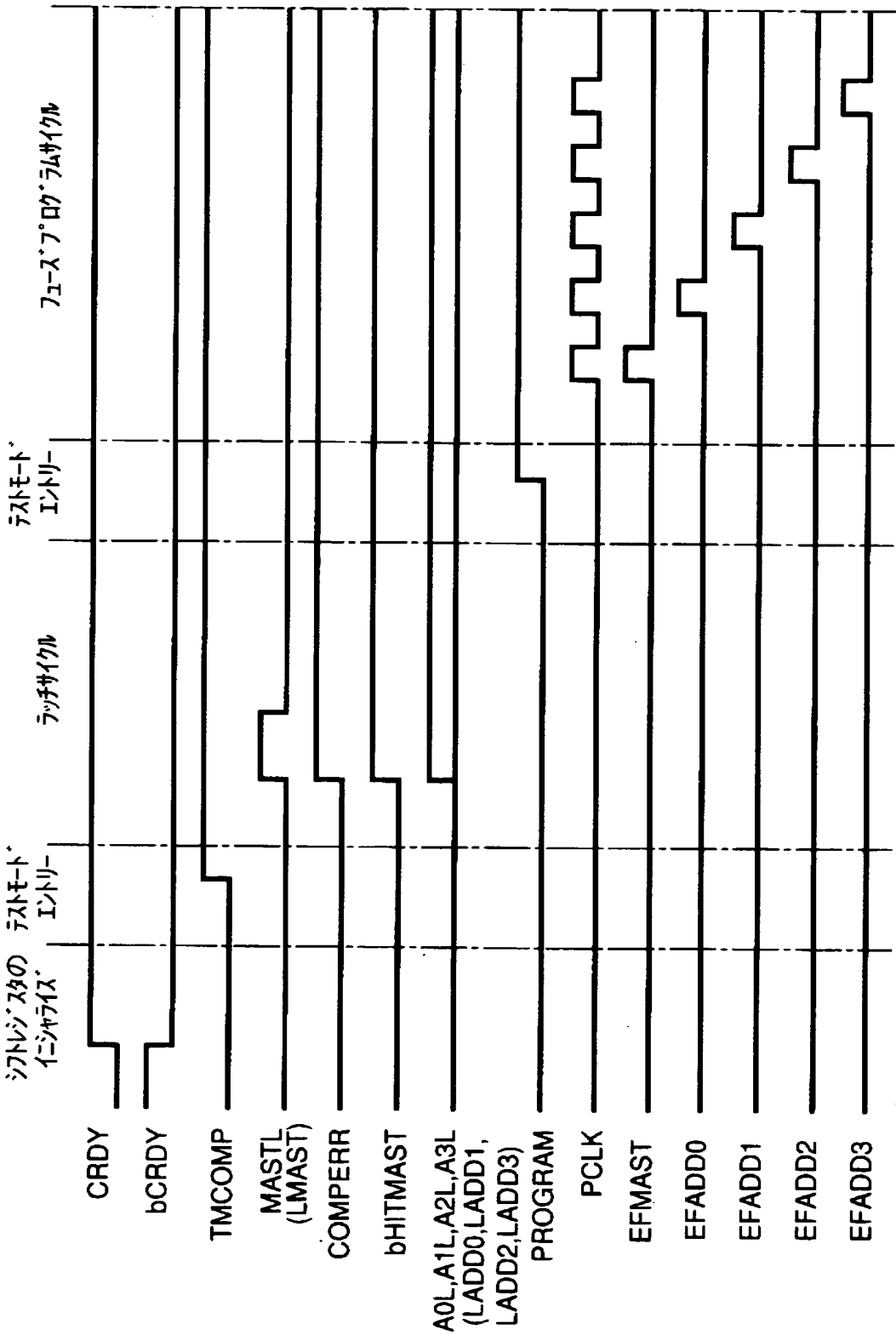
【図 19】



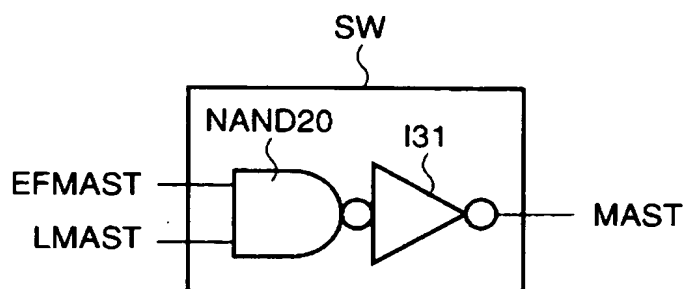
【図 20】



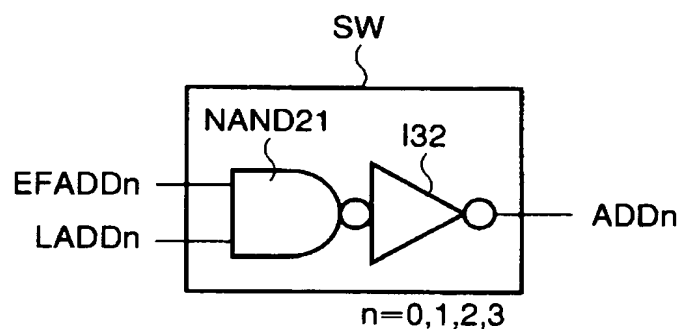
【図 21】



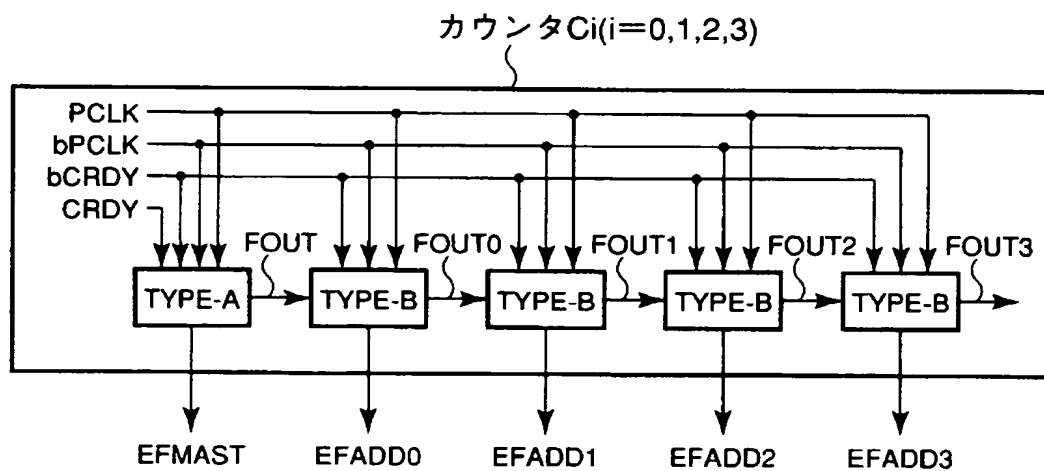
【図 2 2】



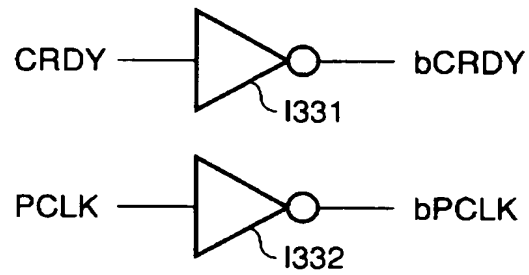
【図 2 3】



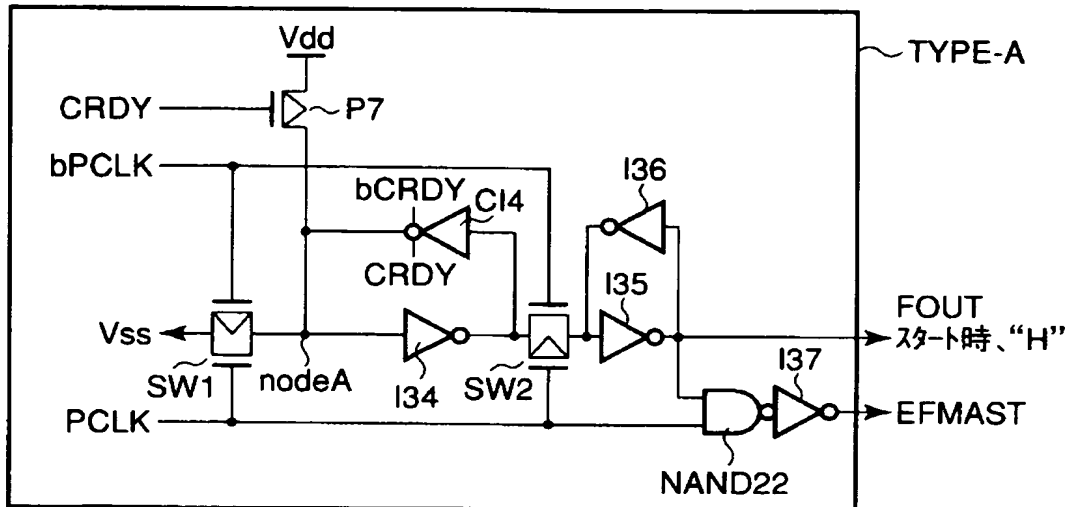
【図 2 4】



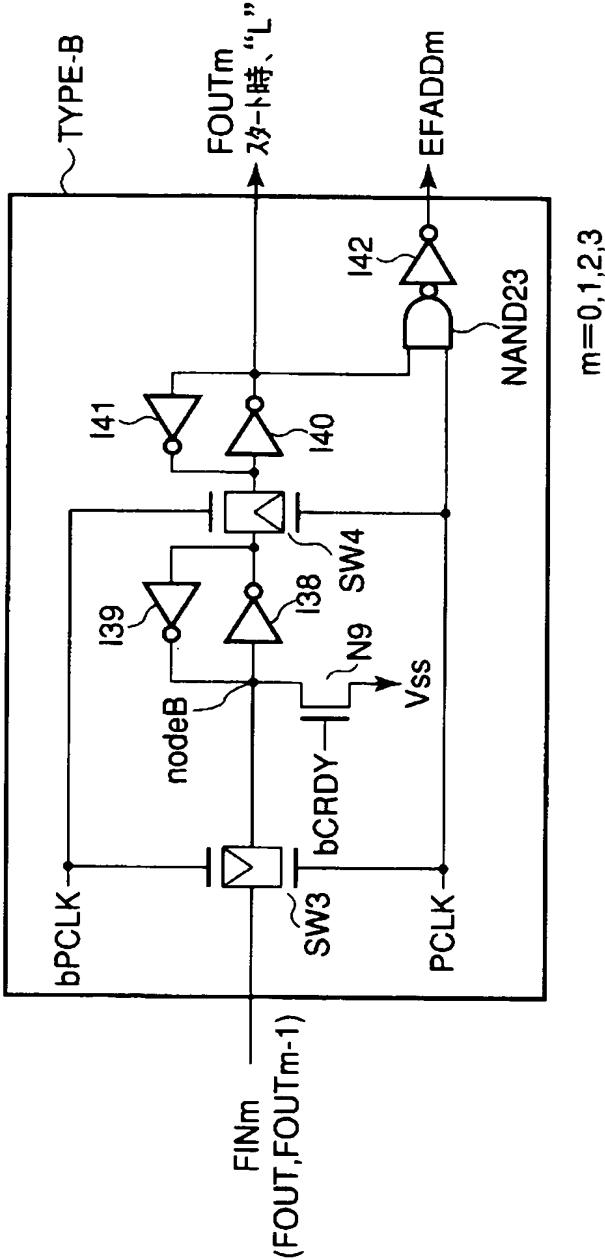
【図 25】



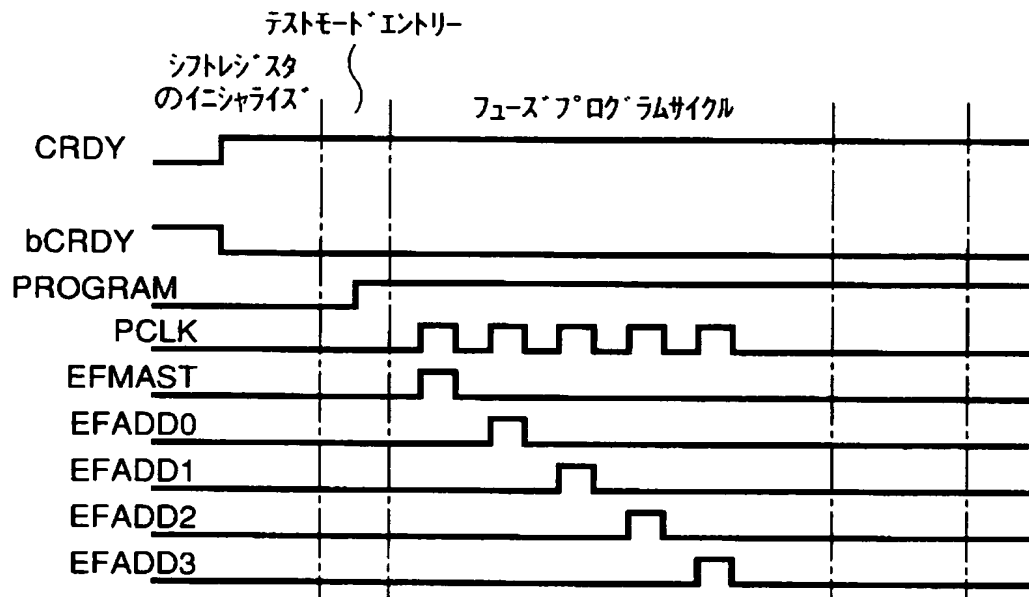
【図 26】



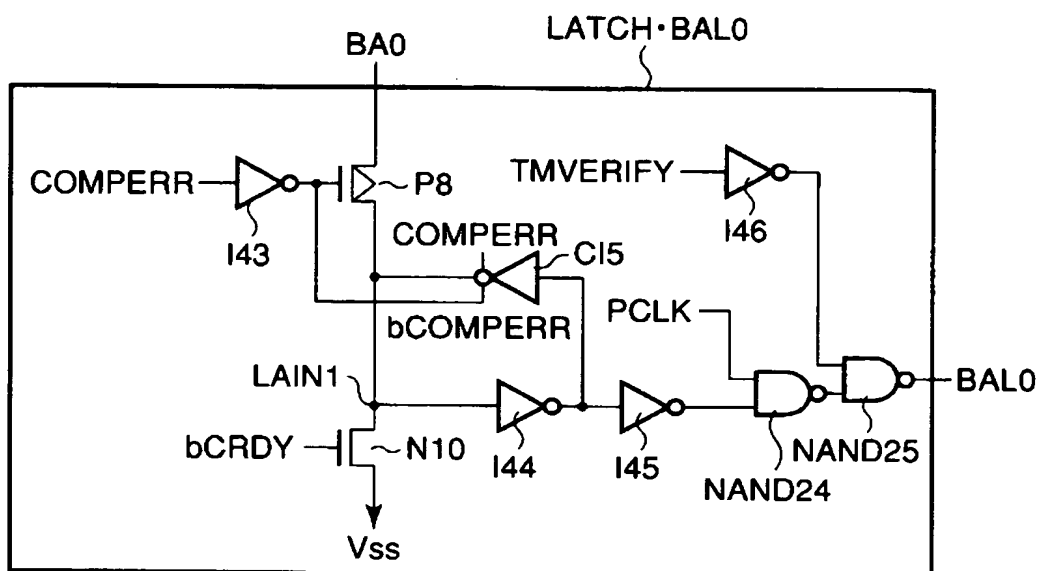
【図 2 7】



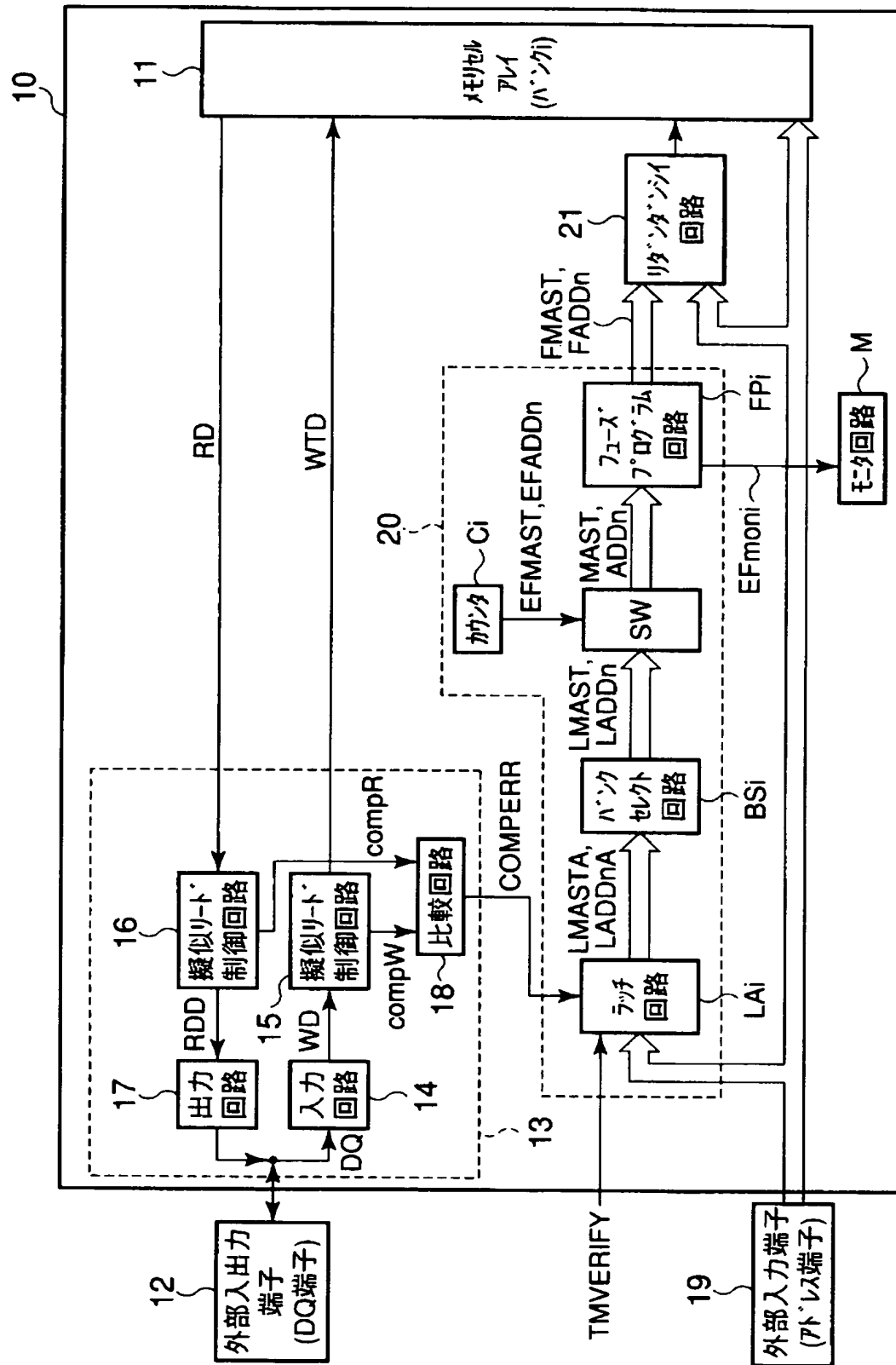
【図 28】



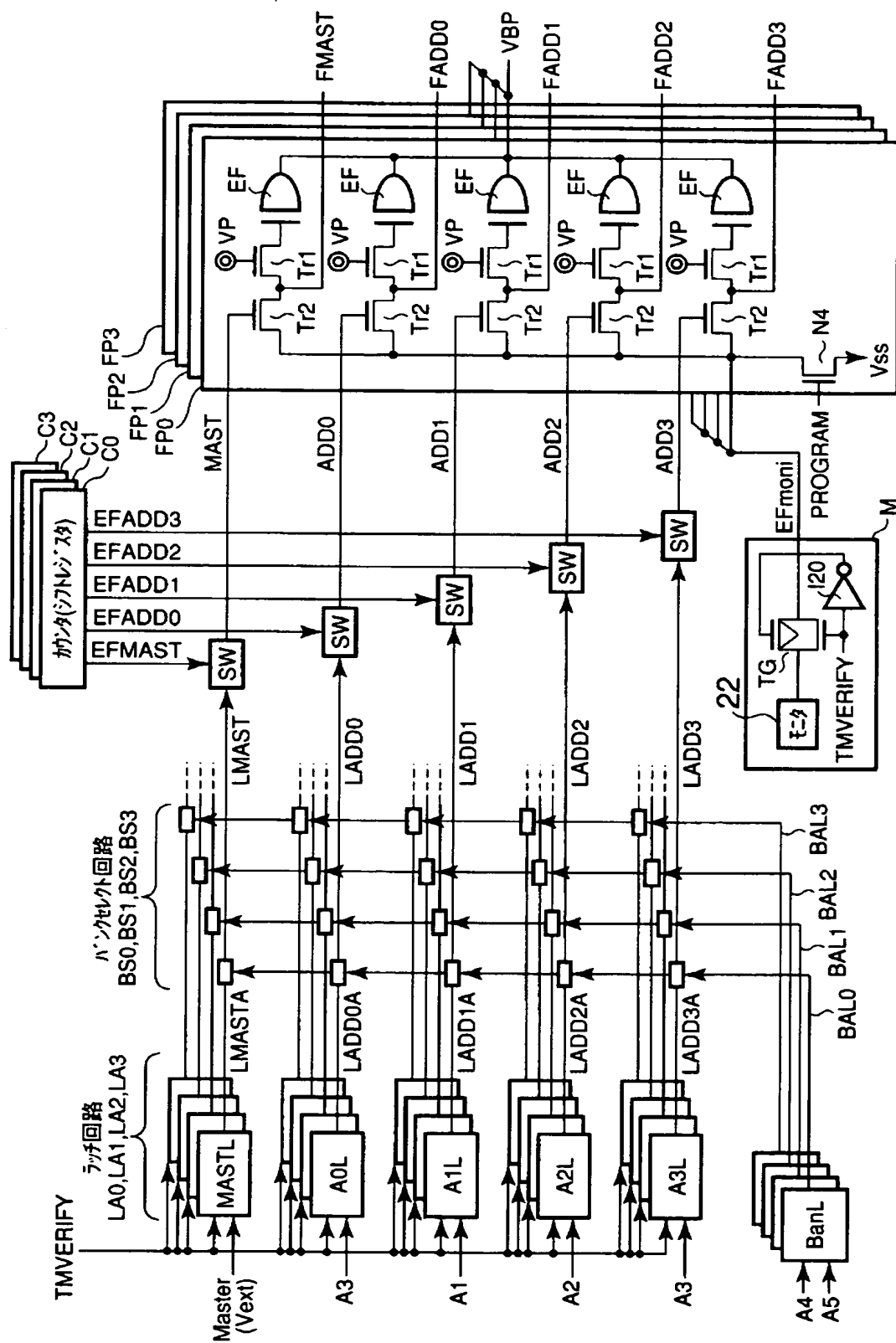
【図 29】



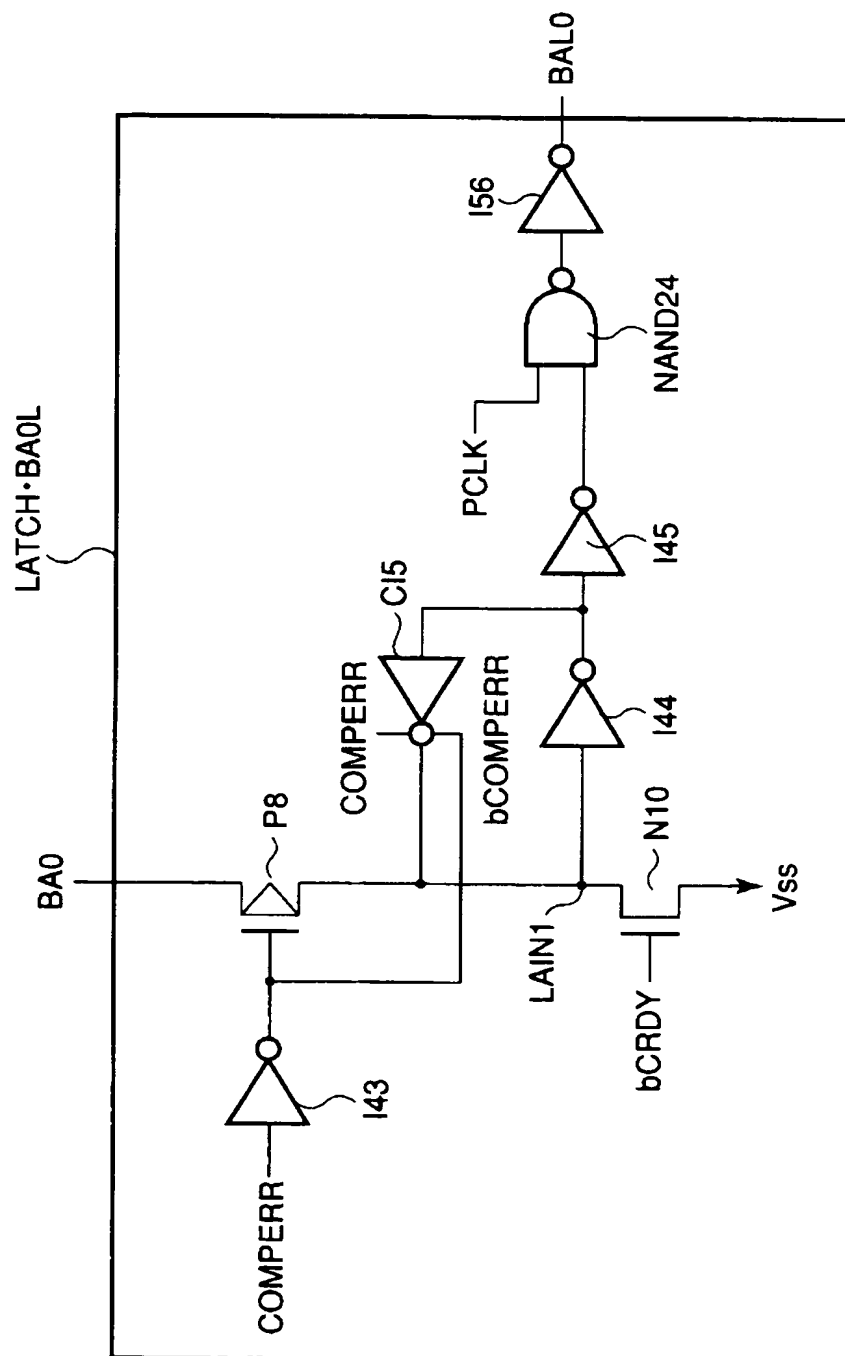
【図 3 2】



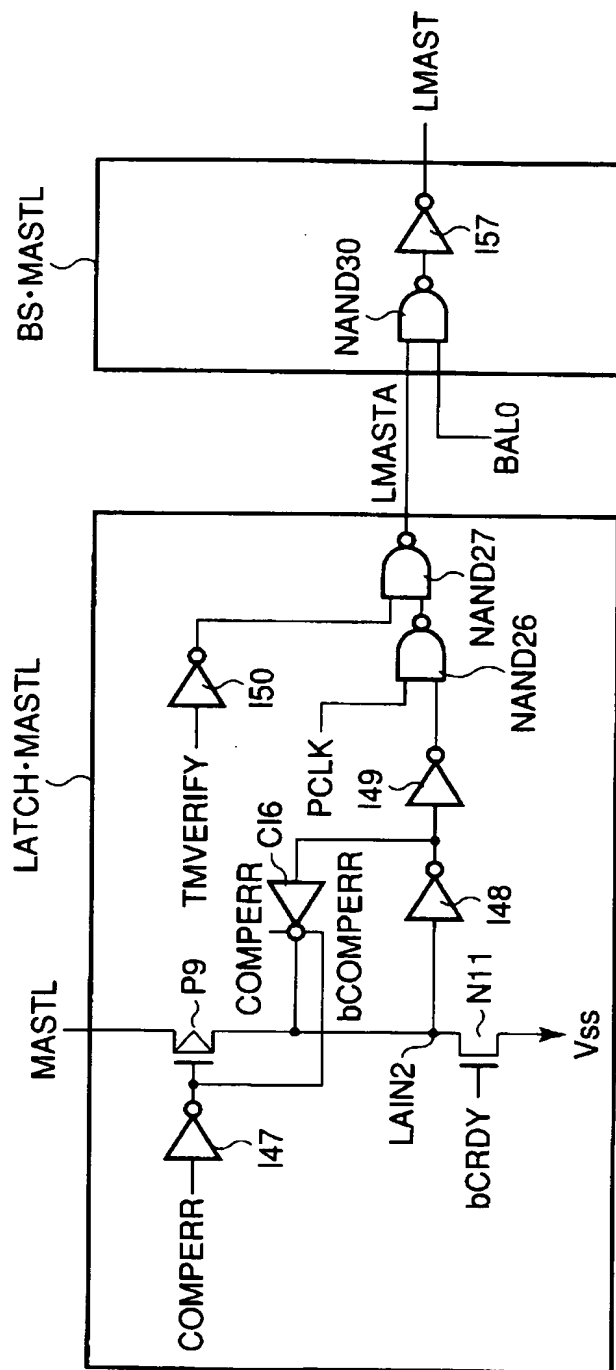
【図 33】



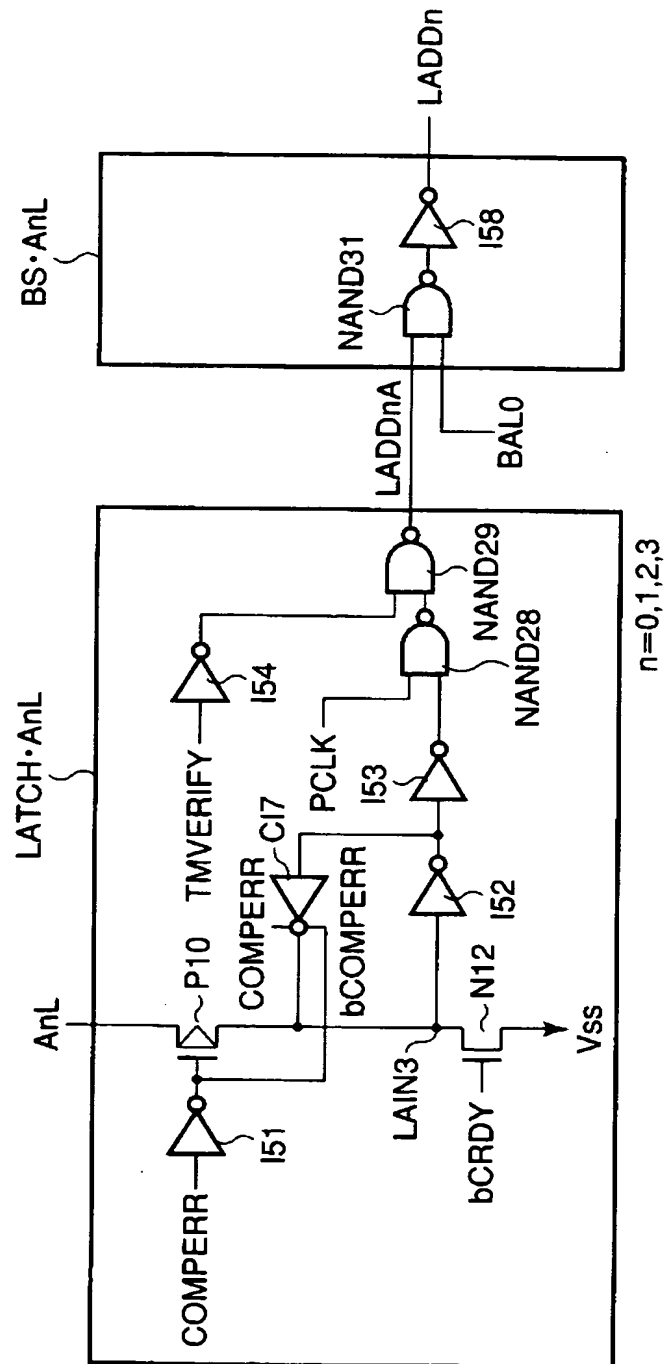
【図 35】



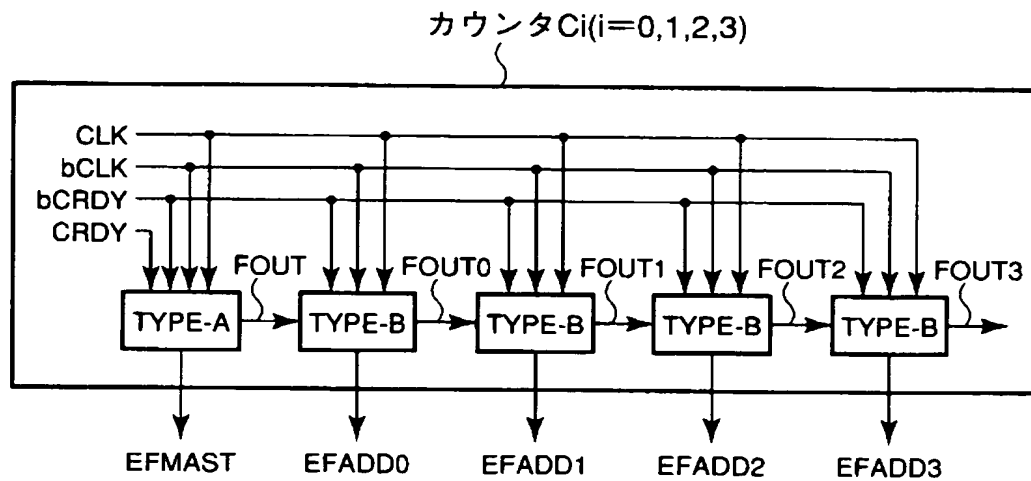
【図 36】



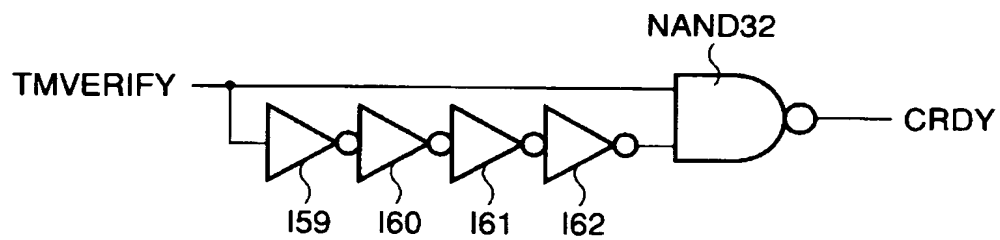
【図 3 7】



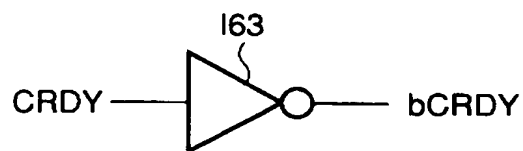
【図 38】



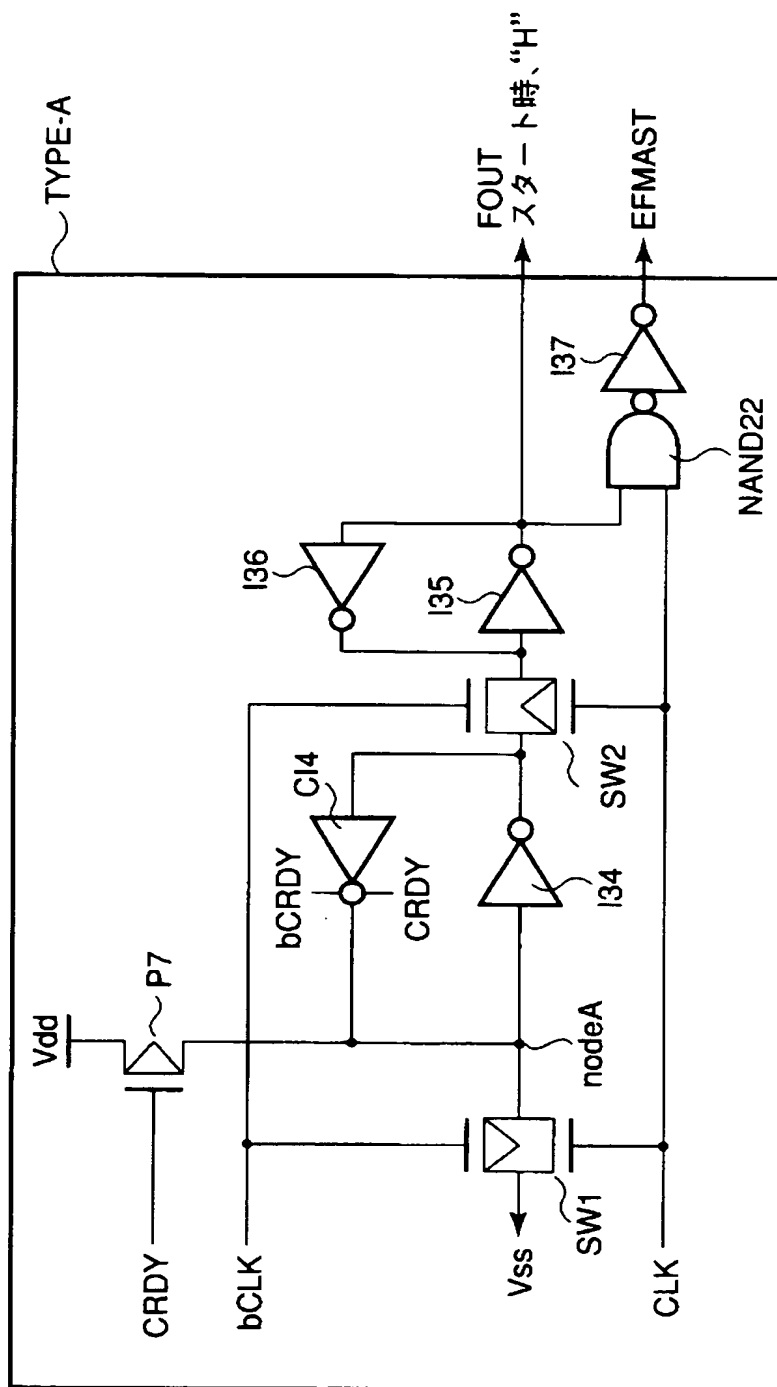
【図 39】



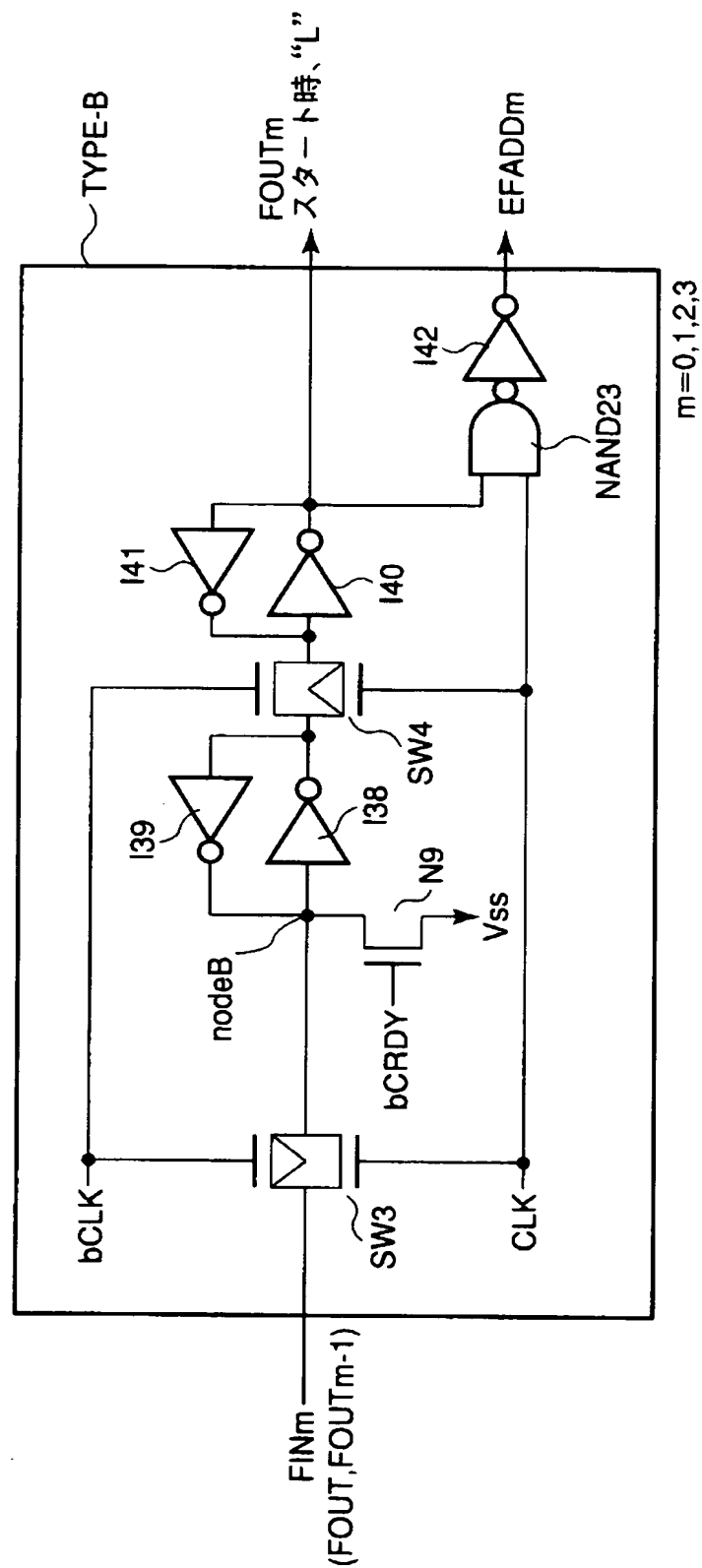
【図 40】



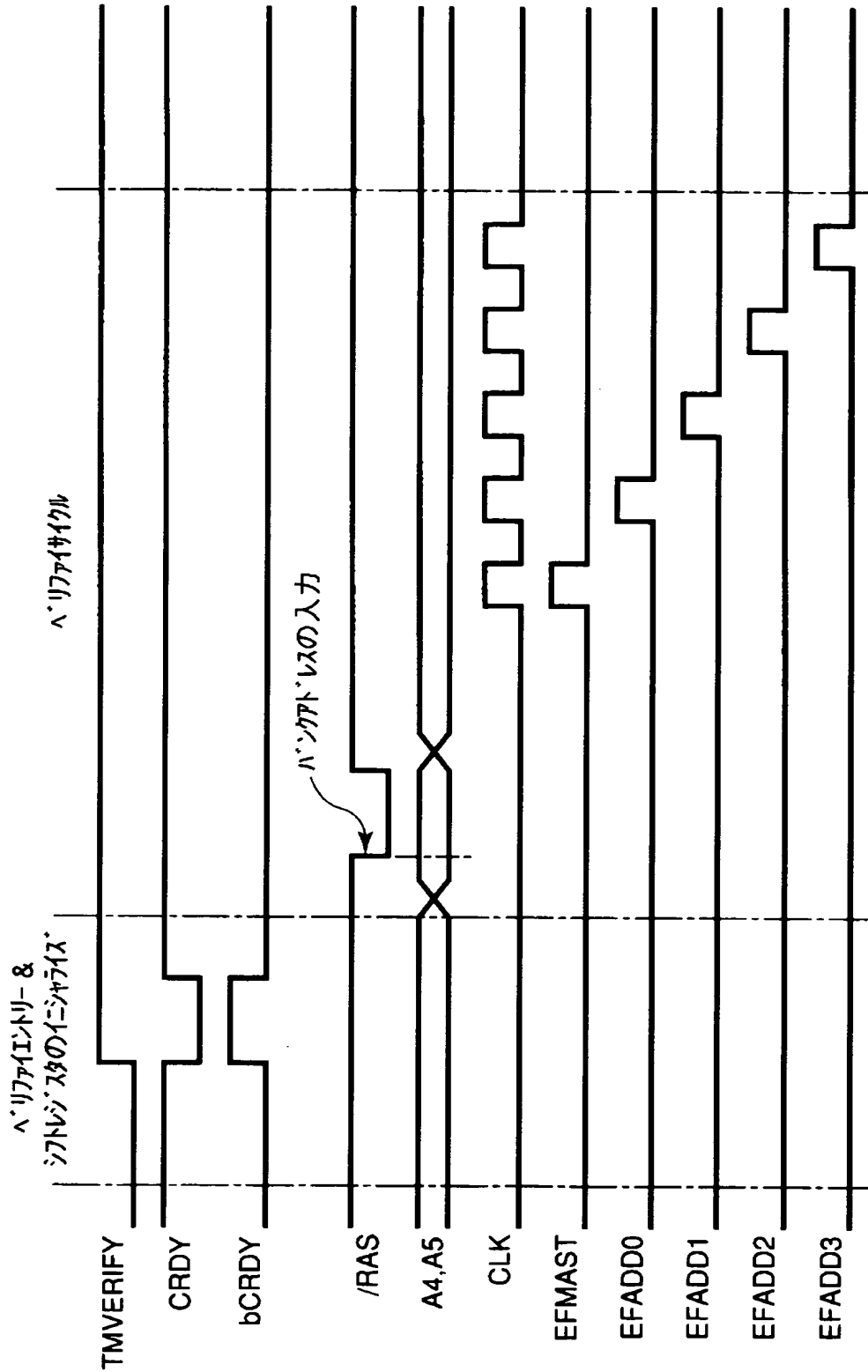
【図 4 1】



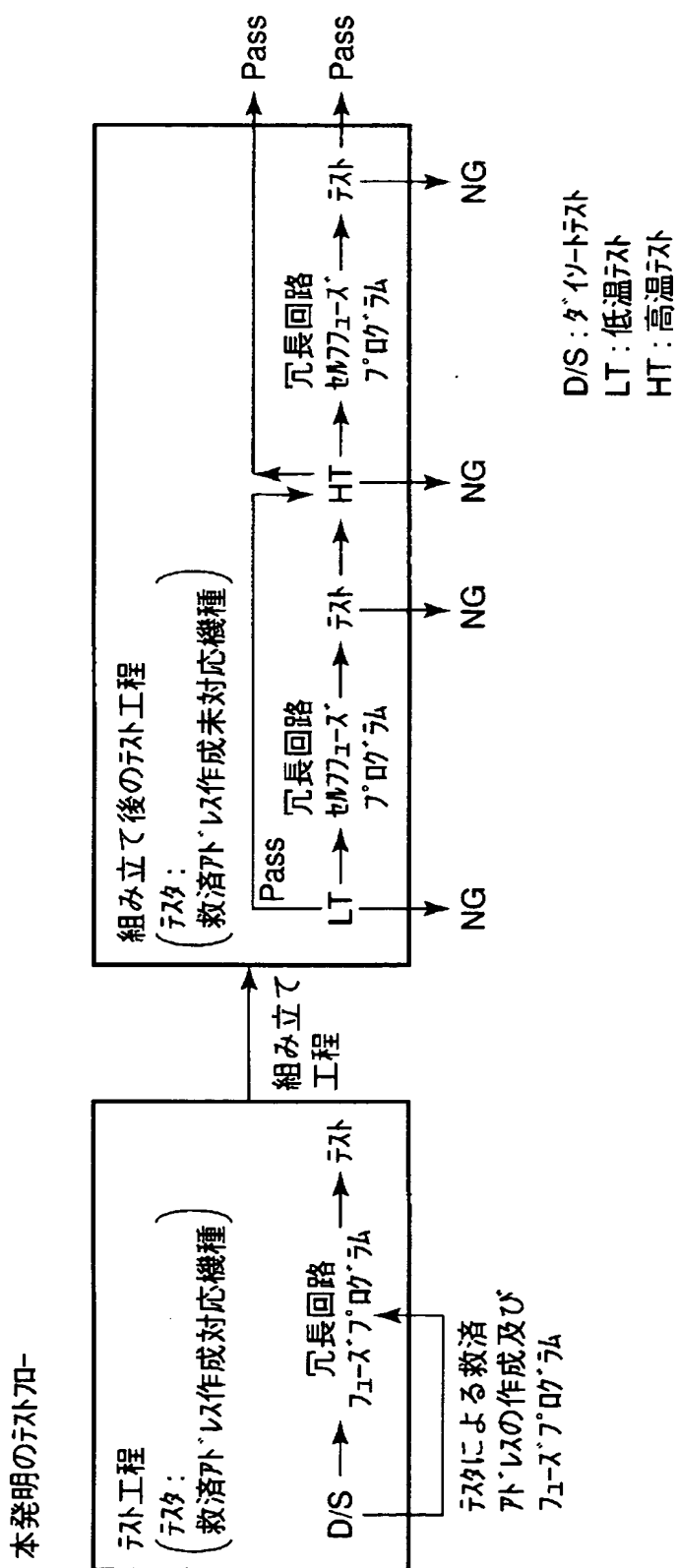
【図 4 2】



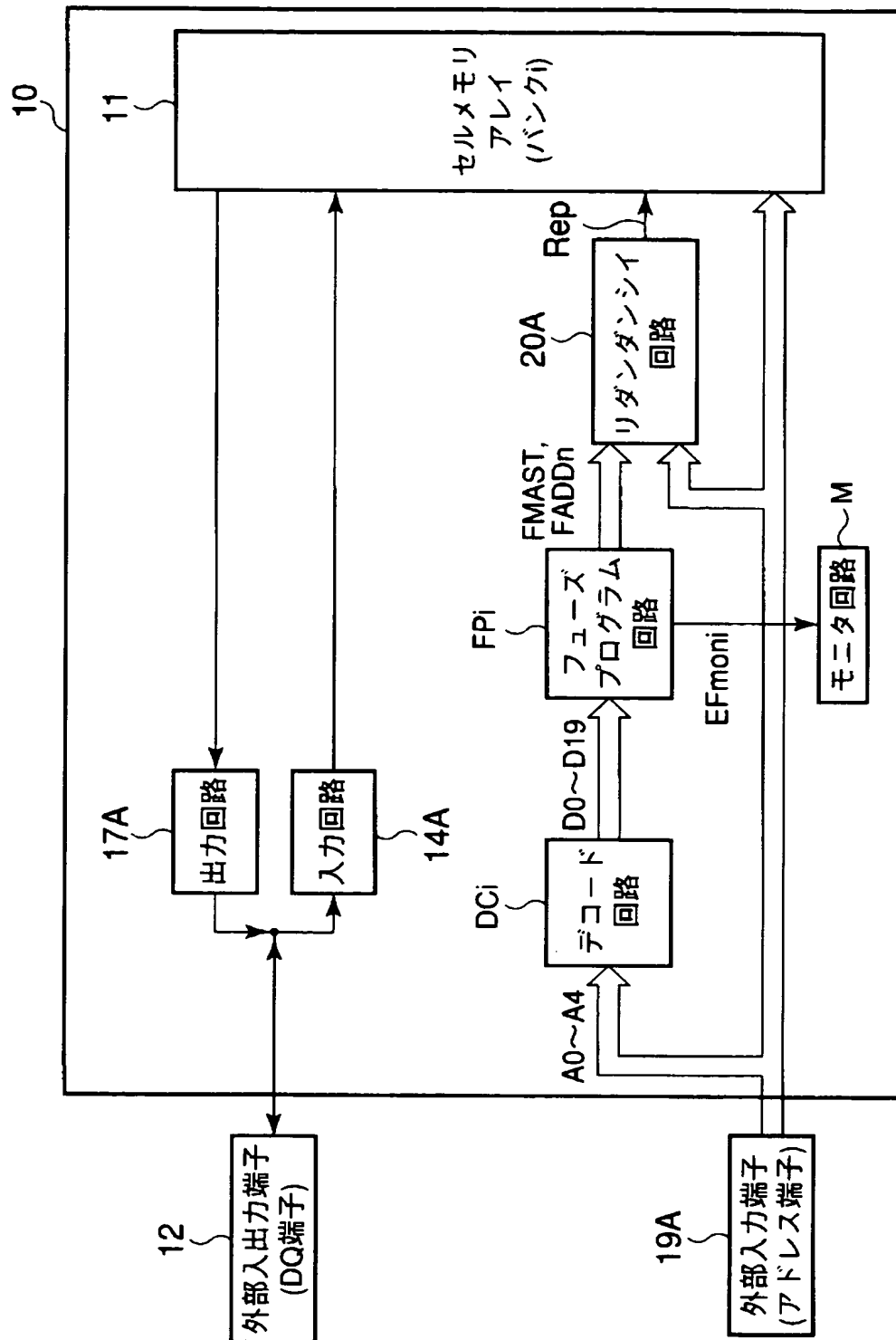
【図 4 3】



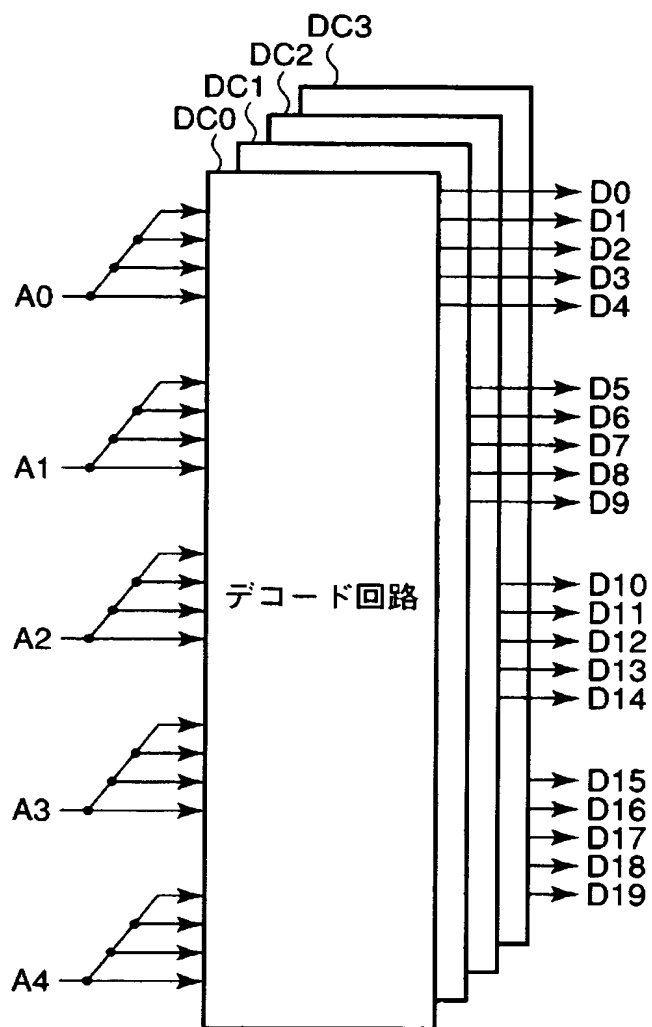
【図 4 4】



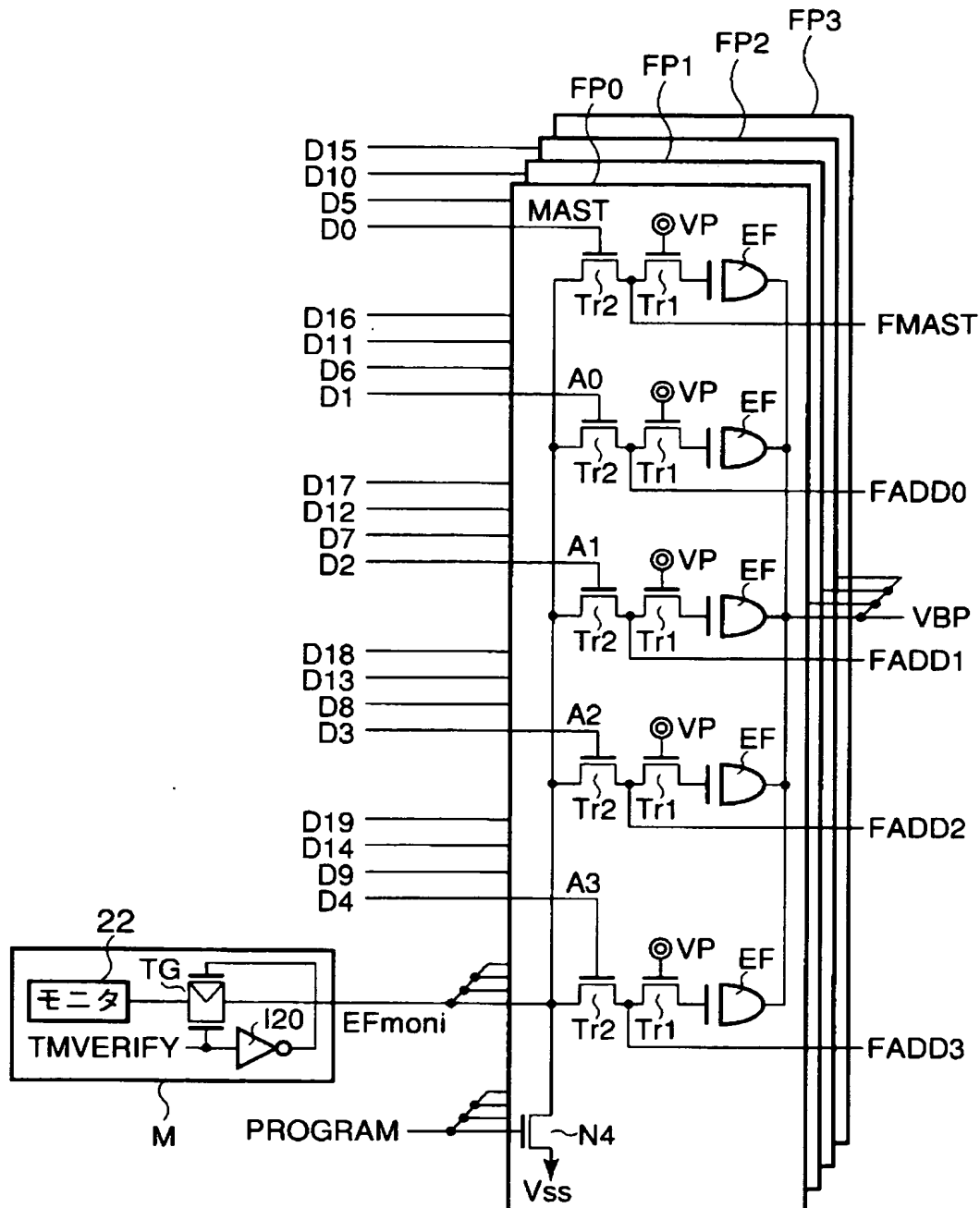
【図 45】



【図 4 6】

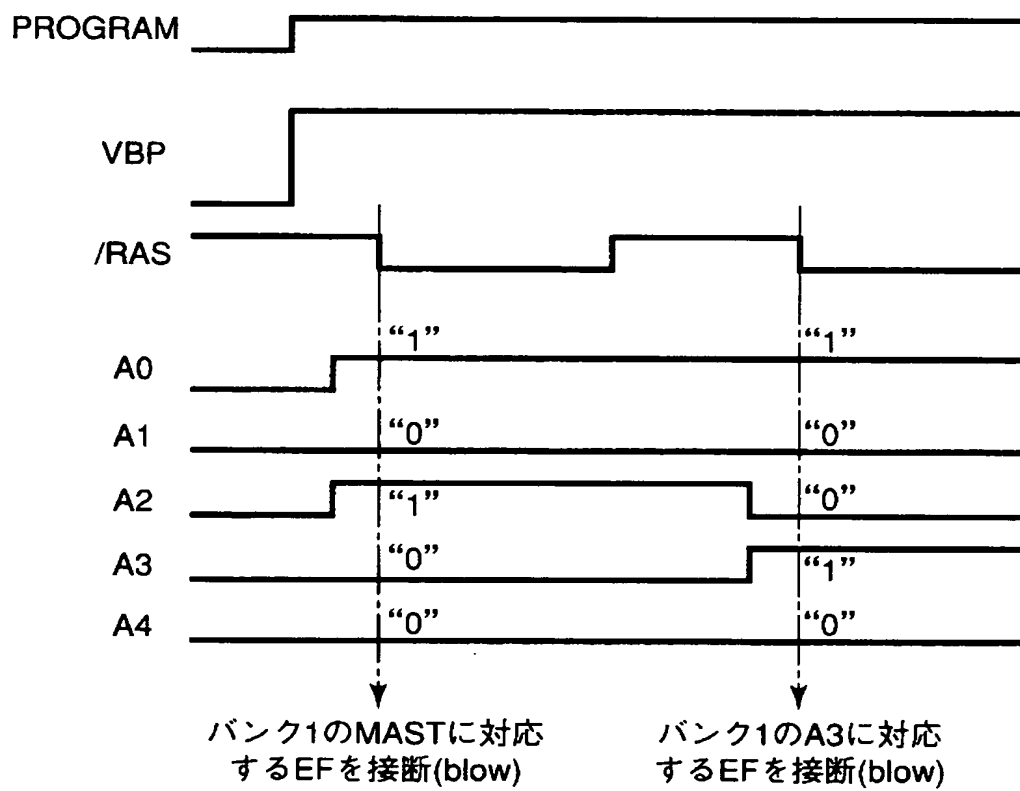


【図 47】

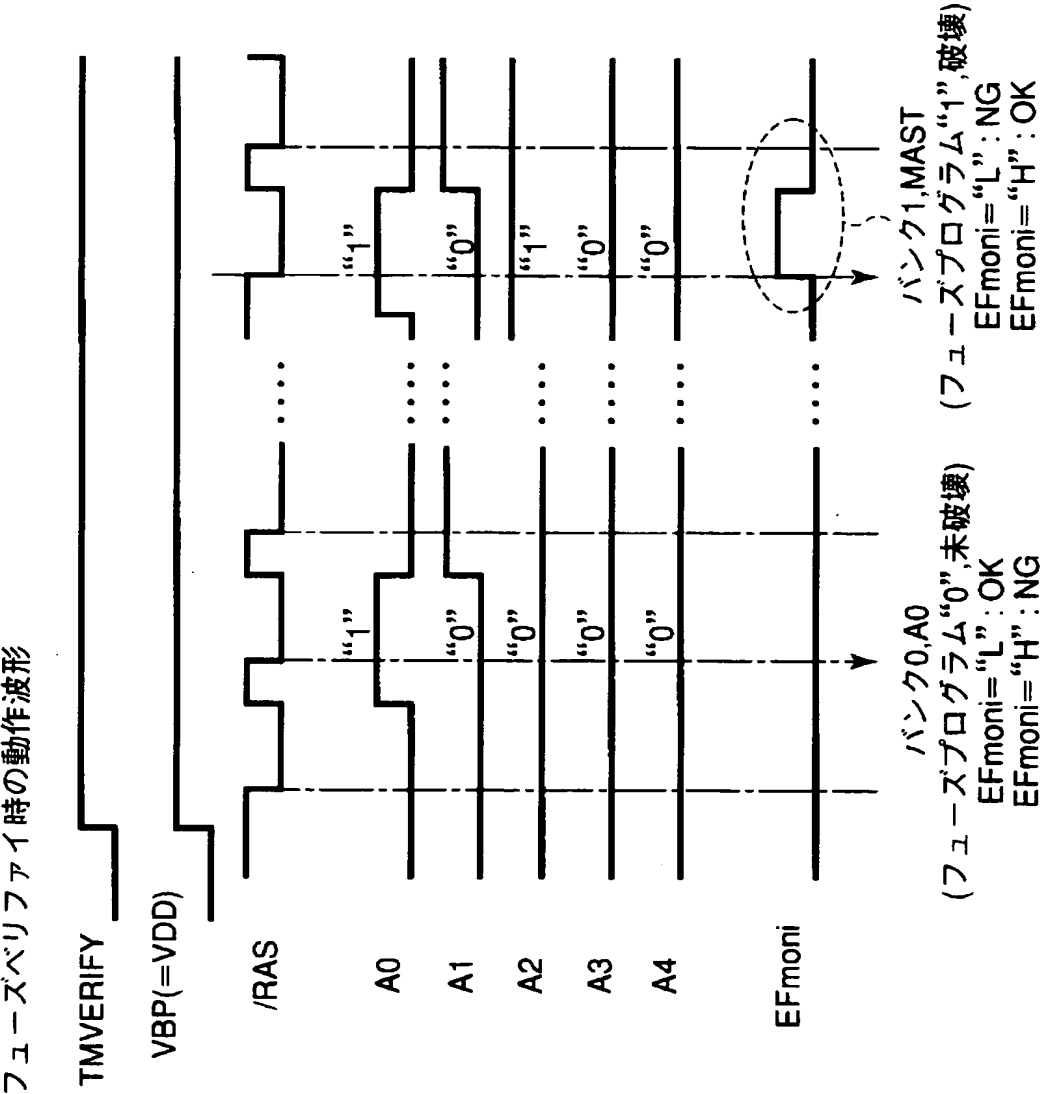


【図 48】

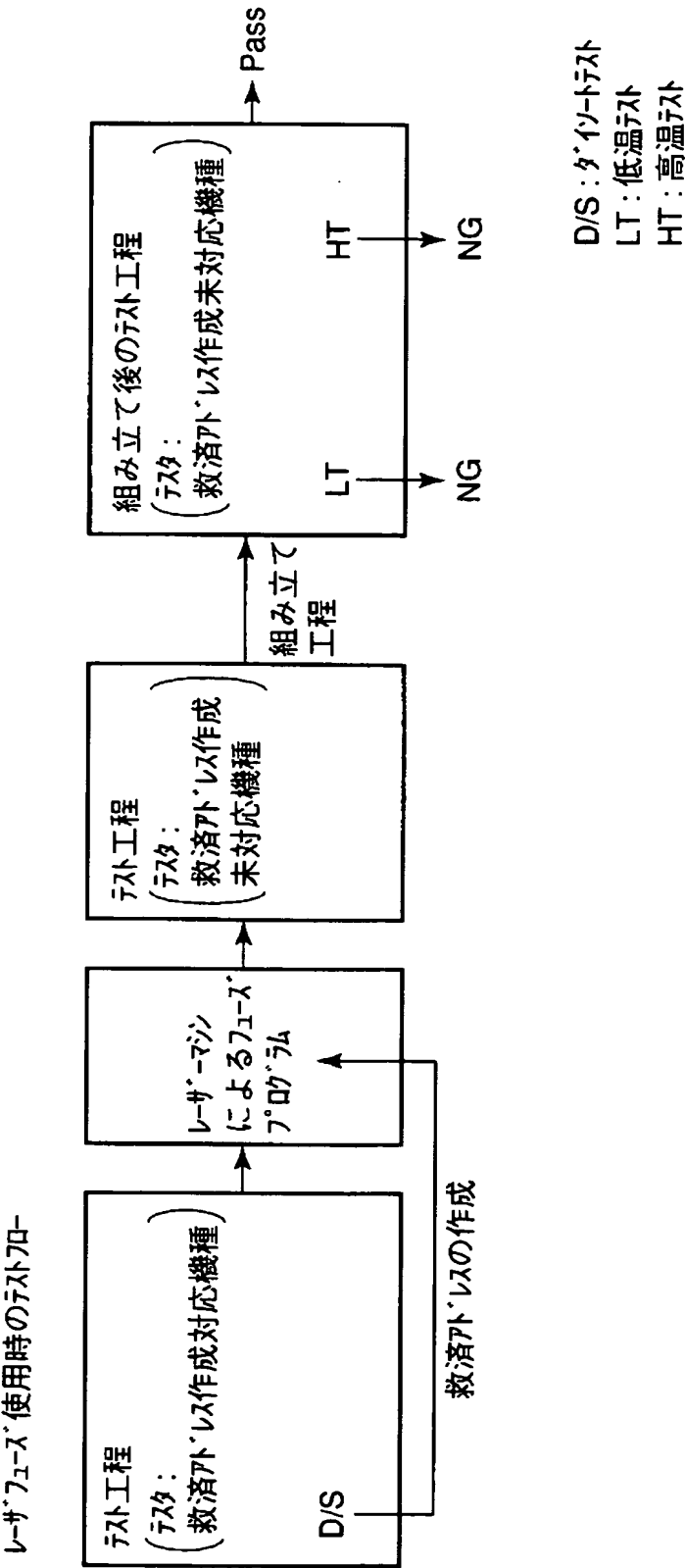
フューズプログラム時の動作波形



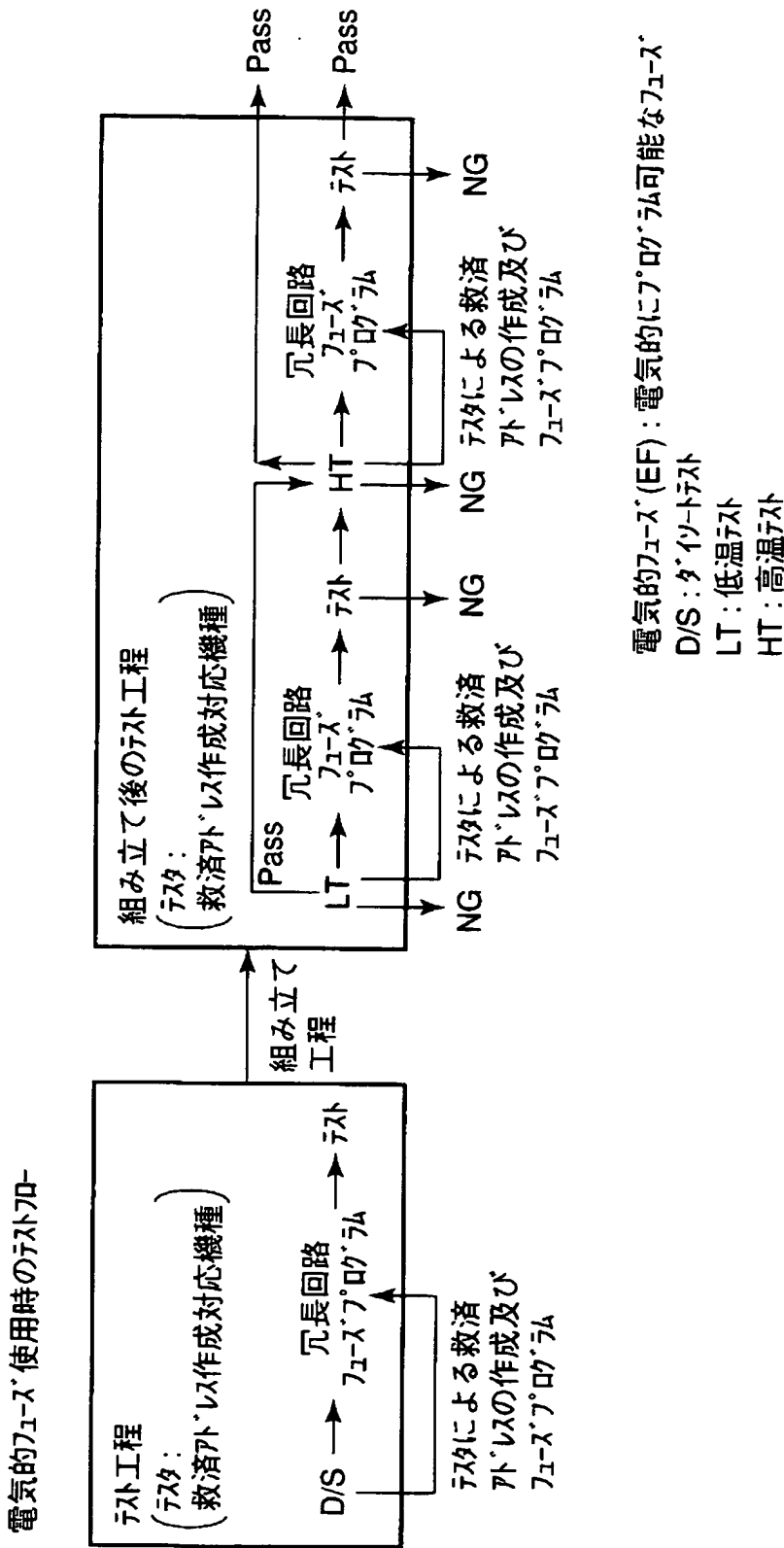
【図 49】



【図 50】



【図 5 1】



【書類名】 要約書

【要約】

【課題】 組み立て工程後の不良を安価なテストを用いて救済する。

【解決手段】 エラー検出回路 1 3 は、メモリセルからのリードデータと外部入出力端子 1 2 からのデータとを、比較回路 1 8 により比較することで、メモリセルの良／不良を判断する。エラー検出回路 1 3 は、メモリセルが不良の場合に、検知信号 COMPERR を出力する。セルフフューズプログラム回路 2 0 は、検知信号 COMPERR を受けると、外部アドレスを、救済アドレスとして、ラッチ回路 LA i にラッチする。カウンタ C i 及びスイッチ回路 SW により、ラッチ回路 LA i にラッチされた救済アドレスを、1 ビットずつ、フューズプログラム回路 FP i に転送することで、救済アドレスのプログラムを行う。

【選択図】 図 1

特願 2 0 0 2 - 3 4 2 8 9 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 2 1 1 9 9]

1. 変更年月日

1 9 9 0 年 8 月 2 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市川崎区駅前本町 2 5 番地 1

氏 名

東芝マイクロエレクトロニクス株式会社

特願 2 0 0 2 - 3 4 2 8 9 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

神奈川県川崎市幸区堀川町 7 2 番地

氏 名

株式会社東芝

2 . 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝